



CONVERSOR DSB-SSB A CAPACITORES CHAVEADOS POR
TRANSFORMADOR DE HILBERT EM TECNOLOGIA CMOS DE 180 nm

Fábio de Lacerda

Tese de Doutorado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Doutor em Engenharia Elétrica.

Orientador: Antonio Petraglia

Rio de Janeiro

Março de 2017

CONVERSOR DSB-SSB A CAPACITORES CHAVEADOS POR
TRANSFORMADOR DE HILBERT EM TECNOLOGIA CMOS DE 180 nm

Fábio de Lacerda

TESE SUBMETIDA AO CORPO DOCENTE DO INSTITUTO ALBERTO LUIZ
COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE ENGENHARIA (COPPE) DA
UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS
REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE DOUTOR EM
CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Examinada por:

Prof. Antonio Petraglia, Ph.D.

Prof. Estêvão Coelho Teixeira, D.Sc.

Prof. José Gabriel Rodríguez Carneiro Gomes, Ph.D.

Prof. Marcelo Martins Werneck, Ph.D.

Prof. Paulo Victor Rodrigues de Carvalho, D.Sc.

RIO DE JANEIRO, RJ - BRASIL

MARÇO DE 2017

Lacerda, Fábio de

Conversor DSB-SSB a Capacitores Chaveados por Transformador de Hilbert em Tecnologia CMOS de 180 nm/Fábio de Lacerda. – Rio de Janeiro: UFRJ/COPPE, 2017.

XV, 114 p.: il.; 29,7 cm.

Orientador: Antonio Petraglia

Tese (doutorado) – UFRJ/COPPE/Programa de Engenharia Elétrica, 2017.

Referências Bibliográficas: p. 109-114.

1. Transformador de Hilbert. 2. Modulação SSB. 3. Circuito a capacitores chaveados. 4. Filtro estruturalmente passa-tudo. 5. Circuito integrado analógico CMOS. I. Petraglia, Antonio. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

À minha inestimável família: Antônio, Emília, Júlia
e os saudosos Antônio e Leonardo.

AGRADECIMENTOS

Ao Professor Antonio Petraglia pela oportunidade única de aprendizado e aperfeiçoamento e sua incansável disponibilidade durante todo o decorrer deste trabalho. Ao Professor José Gabriel Rodríguez Carneiro Gomes pela inspiração original e apoio intelectual aos fundamentos teóricos do tema. Ao Instituto de Engenharia Nuclear, da Comissão Nacional de Energia Nuclear (IEN/CNEN), com grande destaque a Marcos Santana Farias, chefe do Serviço de Instrumentação do IEN, pela total cumplicidade, incondicional e irrestrita, a este trabalho desde seu princípio. Aos amigos do laboratório de Processamento de Sinais Analógicos (PADS) - Allan Andrade, Luis Fabián Mederos, Fernanda Oliveira, Genildo Santos, João Alberto Ferreira, Odair Xavier e Thiago Brito - pela amizade, pelo companheirismo no ambiente de trabalho, bem como pelas ideias criativas e dicas que tornaram este trabalho possível. Aos servidores Oswaldo Pires Filho e Nelson Souza Aguiar, do Laboratório de Microscopia Óptica, e Luiz Pedro Fernandes, todos do Programa de Engenharia Metalúrgica e de Materiais da COPPE, pela gentileza com as fotomicrografias do circuito integrado. À minha família pelo apoio emocional e sua compreensão aos sacrifícios demandados para a concretização deste trabalho.

Resumo da Tese apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Doutor em Ciências (D.Sc.)

CONVERSOR DSB-SSB A CAPACITORES CHAVEADOS POR
TRANSFORMADOR DE HILBERT EM TECNOLOGIA CMOS DE 180 nm

Fábio de Lacerda

Março/2017

Orientador: Antonio Petraglia

Programa: Engenharia Elétrica

Este trabalho trata da realização de um circuito integrado analógico para a conversão de sinais com modulação em amplitude de banda dupla (*Double Sideband* ou DSB) para modulação de banda simples (*Single Sideband* ou SSB). Implementado por circuitos de tempo discreto a capacitores chaveados, utiliza-se de um filtro com resposta infinita ao impulso (*Infinite Input Response* ou IIR) para compor um transformador de Hilbert como alternativa a implementações digitais, que se aproveitam da grande capacidade de processamento paralelo dos circuitos digitais para a obtenção do transformador de Hilbert por meio de filtros com resposta finita ao impulso (*Finite Impulse Response* ou FIR) de ordem elevada. Fabricado em tecnologia CMOS de 180 nm com capacitores do tipo metal-metal (MiM), a adoção de filtros estruturalmente passa-tudo reduz significativamente a sensibilidade do conversor ao descasamento de capacitores. Para alimentação de 1,8 V e sinais diferenciais de até 1 V, resultados experimentais mostram que o conversor atinge taxa de rejeição de imagem (*Image Rejection Ratio* ou IRR) maior que 39,5 dB para modulação *Lower Sideband* (LSB) e 38,0 dB para modulação *Upper Sideband* (USB) para sinais de entrada na faixa de 25% a 75% da frequência da portadora, valores estes superiores a propostas analógicas anteriores e comparáveis a propostas digitais do estado da arte em circuitos integrados. Com área de silício de 1,09 mm², o conversor consome apenas 17,7 mW para frequência de amostragem de 1 MHz enquanto sua IRR apresentou desvio padrão de apenas 0,5 dB dentre 20 amostras avaliadas.

Abstract of Thesis presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Doctor of Science (D.Sc.)

SWITCHED-CAPACITOR DSB-SSB CONVERTER USING HILBERT
TRANSFORMER IN 180 nm CMOS TECHNOLOGY

Fábio de Lacerda

March/2017

Advisor: Antonio Petraglia

Department: Electrical Engineering

The realization of an analog integrated circuit for conversion of Double-Sideband (DSB) amplitude-modulated signals into Single-Sideband (SSB) is presented. Implemented by discrete-time switched-capacitor circuits, it adopts an Infinite Impulse Response (IIR) filter to realize a Hilbert transformer as alternative to digital implementations which take advantage of high processing capacity from parallel digital circuits to obtain the Hilbert transformer by means of high-order Finite Impulse Response (FIR) filters. Fabricated in a 180 nm CMOS technology with metal-metal (MiM) capacitors, the use of structurally all-pass filters greatly reduces the converter's sensitivity to capacitor mismatch. For 1.8 V power supply and 1 V differential input/output signals, experimental results show the converter achieves Image Rejection Ratio (IRR) greater than 39.5 dB for Lower-Sideband (LSB) modulation and 38.0 dB for Upper-Sideband (USB) modulation for input signals ranging from 25% to 75% of the carrier frequency. These figures are higher than previous analog circuit proposals and comparable to digital implementations of state-of-the-art integrated circuits. Its silicon area is 1.09 mm² and the converter consumes only 17.7 mW for 1 MHz sampling frequency while its IRR presents standard deviation of only 0.5 dB among 20 chip samples.

SUMÁRIO

Introdução.....	1
1.1. Objetivo	7
1.2. Estrutura deste Texto.....	8
O Transformador de Hilbert	9
2.1. Sinal Analítico.....	9
2.2. Modulação SSB.....	11
2.3. Filtro Complexo de Meia Banda	13
2.4. Estruturas de Filtros Passa-Tudo.....	14
2.5. Modulador SSB.....	15
2.5.1. <i>Downsampling</i> do Sinal SSB	15
O Conversor DSB-SSB	19
3.1. Tecnologia de Circuito Integrado.....	19
3.2. Condições de Projeto	21
3.3. Capacitor Unitário	21
3.4. Chaves Analógicas	22
3.5. Gerador de Fases	24
3.6. Circuito de <i>Sample-and-Hold</i>	25
3.7. Amplificador Operacional	26
3.8. Demodulador DSB	28
3.8.1. <i>Mixer</i>	29
3.8.2. Filtro <i>Anti-Aliasing</i>	32
3.9. Modulador SSB.....	40
3.9.1. Transformador de Hilbert.....	41
3.9.2. Modulador em Quadratura	46
Otimização de Razão de Capacitâncias.....	50
4.1. Filtro <i>Anti-Aliasing</i>	51
4.2. Filtro Real de Meia Banda	57
Resultados Experimentais	60
5.1. Configuração	60
5.2. Inicialização	61

5.3. Entrada DSB	62
5.4. Demodulador DSB	64
5.5. Modulador SSB.....	65
5.6. Simulação com Elementos Parasitas	68
5.7. Resultados de Silício	72
5.7.1. Efeito da Capacitância Externa	78
5.8. Comparação com Outros Trabalhos	83
Conclusões.....	86
6.1. Trabalhos Futuros.....	87
6.1.1. Rejeição de Imagem de 50 dB.....	91
<i>Script do MATLAB para o Filtro Anti-Aliasing</i>	93
<i>Script do MATLAB para o Filtro Real de Meia Banda</i>	97
Modelo Verilog-A do Conversor.....	101
Referências Bibliográficas	109

LISTA DE FIGURAS

Figura 1.1: Espectro de frequência de: (a) um sinal banda-base e (b) a modulação <i>Double Sideband</i> correspondente.	1
Figura 1.2: Modulação por filtragem seletiva.	3
Figura 1.3: Modulador Hartley.	3
Figura 1.4: Modulador Weaver.	4
Figura 1.5: Receptor Hartley analógico em tecnologia 180 nm [22].	6
Figura 1.6: Receptor Hartley analógico em tecnologia 600 nm [25].	7
Figura 2.1: Transformada ideal de Hilbert.	10
Figura 2.2: Filtro complexo de meia banda.	10
Figura 2.3: Espectro de frequência de: (a) um sinal real $y(t)$, (b) do sinal analítico $y_a(t)$ e (c) do sinal analítico $y_a(t)$ correspondentes.	11
Figura 2.4: Espectro de frequência de: (a) sinal analítico $y_a(t)$ descolado em frequência, (b) sinal analítico $y_a(t)$ deslocado em frequência e (c) modulação <i>Upper Sideband</i> resultante.	12
Figura 2.5: Modulação <i>Lower Sideband</i>	12
Figura 2.6: Modulador SSB baseado no transformador de Hilbert.	13
Figura 2.7: Deslocamento em frequência do filtro complexo de meia banda.	13
Figura 2.8: Estrutura de filtros passa-tudo para filtro real de meia banda.	15
Figura 2.9: Estrutura de filtros passa-tudo para filtro complexo de meia banda.	15
Figura 2.10: Modulador SSB utilizando filtros passa-tudo.	16
Figura 2.11: <i>Downsampling</i> do modulador em quadratura.	16
Figura 2.12: Transformação dos filtros segundo a Primeira Identidade Nobre.	16
Figura 2.13: Simplificação por chave multiplexadora.	17
Figura 2.14: Arquitetura otimizada do modulador SSB.	17
Figura 3.1: Conversor DSB-SSB.	20
Figura 3.2: Chave analógica complementar (dimensões em μm).	23
Figura 3.3: Gerador de fases sem superposição.	24
Figura 3.4: Circuito de <i>Sample-and-Hold</i>	25
Figura 3.5: Esquemático do amplificador operacional.	26

Figura 3.6: Esquemático do circuito de controle da tensão de modo comum na saída.	28
Figura 3.7: Resposta em frequência do amplificador operacional em malha aberta.	29
Figura 3.8: Amostras da senóide do oscilador local.	29
Figura 3.9: Amplificador de demodulação.....	30
Figura 3.10: Contador digital do amplificador de demodulação.	31
Figura 3.11: Filtro <i>anti-aliasing</i> a capacitores chaveados.....	33
Figura 3.12: Resposta em frequência do filtro <i>anti-aliasing</i> ideal.	34
Figura 3.13: Subtrator.	35
Figura 3.14: Filtro estruturalmente passa-tudo de 1ª ordem.	35
Figura 3.15: Filtro estruturalmente passa-tudo de 2ª ordem.	37
Figura 3.16: Integrador não-inversor.	38
Figura 3.17: Resposta em frequência do filtro <i>anti-aliasing</i> otimizado.	39
Figura 3.18: Resposta em frequência do filtro <i>anti-aliasing</i> com menor atenuação devido ao descasamento.	41
Figura 3.19: Resposta em frequência do filtro real de meia banda ideal.	42
Figura 3.20: Filtro complexo de meia banda.....	43
Figura 3.21: Resposta em frequência do filtro real de meia banda otimizado.	45
Figura 3.22: Defasagem do transformador de Hilbert.	46
Figura 3.23: Resposta em frequência do filtro real de meia banda com menor atenuação devido ao descasamento.....	47
Figura 3.24: Amostras do oscilador em quadratura.	47
Figura 3.25: Implementação do modulador em quadratura e do somador.....	49
Figura 3.26: Contador digital do modulador em quadratura.	49
Figura 4.1: Fluxograma simplificado do algoritmo de otimização.....	54
Figura 5.1: Sinal de entrada DSB no tempo.	63
Figura 5.2: FFT do sinal DSB.	63
Figura 5.3: Sinal BB na saída do filtro <i>anti-aliasing</i>	65
Figura 5.4: FFT do sinal BB.....	66
Figura 5.5: Componentes do sinal analítico na saída do transformador de Hilbert.....	66
Figura 5.6: Sinal SSB na saída do conversor.	67
Figura 5.7: FFT do sinal SSB.	68
Figura 5.8: <i>Layout</i> do conversor DSB-SSB.	69
Figura 5.9: Efeito das capacitâncias parasitas no sinal BB.	70

Figura 5.10: Efeito das capacitâncias parasitas na saída SSB.	71
Figura 5.11: Distribuição das capacitâncias parasitas.....	71
Figura 5.12: Efeito das parasitas críticas na saída SSB.	72
Figura 5.13: Fotomicrografia do <i>chip</i>	73
Figura 5.14: Sinais $DSB(t)$ experimentais no tempo ($f_s = 1$ MHz, $f_c = 125$ kHz).....	74
Figura 5.15: Ambiente de testes experimentais.	75
Figura 5.16: FFT dos sinais $DSB(t)$ experimentais ($f_s = 1$ MHz, $f_c = 125$ kHz).....	76
Figura 5.17: FFT dos sinais $BB[n]$ experimentais ($f_s = 1$ MHz, $f_c = 125$ kHz).	76
Figura 5.18: FFT da saída $SSB[2n]$ para modulação LSB ($f_s = 1$ MHz, $f_c = 125$ kHz).....	77
Figura 5.19: FFT da saída $SSB[2n]$ para modulação USB ($f_s = 1$ MHz, $f_c = 125$ kHz).....	77
Figura 5.20: Distribuição estatística da corrente I_{DD} consumida pelo <i>chip</i>	79
Figura 5.21: Distribuição estatística da taxa de rejeição de imagem IRR para modulação LSB.	79
Figura 5.22: Distribuição estatística da taxa de rejeição de imagem IRR para modulação USB.....	80
Figura 5.23: Taxa de rejeição de imagem pela frequência de chaveamento.	81
Figura 5.24: Simulação da taxa de rejeição de imagem pela frequência de chaveamento.	82

LISTA DE TABELAS

Tabela 3.1: Dimensões dos transistores do amplificador operacional.	27
Tabela 3.2: Sequência temporal das amostras da senóide.....	30
Tabela 3.3: Lógica para seleção de entrada e ganho do demodulador.....	32
Tabela 3.4: Características do filtro <i>anti-aliasing</i> ($f_c = 1/8 f_s$).....	32
Tabela 3.5: Coeficientes do filtro <i>anti-aliasing</i>	39
Tabela 3.6: Características do filtro real de meia banda.	42
Tabela 3.7: Coeficientes do filtro real de meia banda.	44
Tabela 3.8: Sequência temporal das amostras do oscilador em quadratura.	48
Tabela 3.9: Sequência temporal do sinal <i>SSB</i> [$2n$].	48
Tabela 3.10: Lógica para seleção de entrada e sinal do modulador em quadratura.	49
Tabela 4.1: Parâmetros de entrada do algoritmo para o filtro <i>anti-aliasing</i>	52
Tabela 4.2: Conjuntos de razões ótimas para o filtro <i>anti-aliasing</i>	56
Tabela 4.3: Parâmetros de entrada do algoritmo para o filtro real de meia banda.	58
Tabela 4.4: Conjuntos de razões ótimas para o filtro real de meia banda.....	58
Tabela 5.1: Parâmetros de entrada do gerador de sinal DSB ($f_{clk} = 1$ MHz).....	62
Tabela 5.2: Parâmetros de entrada do demodulador DSB.	64
Tabela 5.3: Sinais <i>DSB</i> (t) experimentais.....	74
Tabela 5.4: Resultados experimentais para 20 amostras.....	78
Tabela 5.5: Variação da taxa de rejeição de imagem com a frequência de chaveamento.....	80
Tabela 5.6: Comparação do conversor com outros circuitos integrados.	84

LISTA DE ABREVIATURAS

AA	<i>Anti-Aliasing</i>	8
AM	<i>Amplitude Modulation</i>	1
AMS	<i>Austria Mikro Systeme</i>	19
AP	<i>All-Pass</i>	6
ARM	<i>Advanced RISC Machine</i>	74
BB	<i>Baseband</i>	1
CDS	<i>Correlated Double Sampling</i>	36
CMFB	<i>Common-Mode Feedback</i>	28
CMIM	<i>Capacitor Metal-insulator-Metal</i>	19
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>	4
DSB	<i>Double Sideband</i>	1
FFT	<i>Fast Fourier Transform</i>	63
FIR	<i>Finite Impulse Response</i>	4
FPGA	<i>Field-Programmable Gate Array</i>	74
HBT	<i>Heterojunction Bipolar Transistor</i>	5
HDL	<i>Hardware Description Language</i>	62
HT	<i>Hilbert Transformer</i>	4
IF	<i>Intermediate Frequency</i>	6
IIR	<i>Infinite Impulse Response</i>	4
IRR	<i>Image Rejection Ratio</i>	3
LC	<i>Inductor-Capacitor</i>	5
LED	<i>Light-Emitting Diode</i>	74
LSB	<i>Lower Sideband</i>	11
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>	5
NMOS	<i>N-channel Metal-Oxide-Semiconductor</i>	19
OSSB	<i>Optical Single Sideband</i>	2
PMOS	<i>P-channel Metal-Oxide-Semiconductor</i>	19
PVT	<i>Process, Voltage and Temperature</i>	21
QAM	<i>Quadrature Amplitude Modulation</i>	2
RC	<i>Resistor-Capacitor</i>	5

RF	Radiofrequência	2
RISC	<i>Reduced Instruction Set Computing</i>	74
RMS	<i>Root Mean Square</i>	22
S/H	<i>Sample-and-Hold</i>	25
SC	<i>Switched Capacitor</i>	5
SiGe	silício-germânio	5
SNR	<i>Signal-to-Noise Ratio</i>	19
SSB	<i>Single Sideband</i>	1
THD	<i>Total Harmonic Distortion</i>	31
USB	<i>Upper Sideband</i>	11
VHDL	<i>VHSIC Hardware Description Language</i>	75
VHSIC	<i>Very High Speed Integrated Circuit</i>	75

CAPÍTULO 1

INTRODUÇÃO

Na teoria de processamento de sinais, sejam eles analógicos ou digitais, a transformada de Hilbert é um tema de pesquisa recorrente por conta da sua grande diversidade de aplicações [1], [2], [3]. Em telecomunicações, por exemplo, a transformada de Hilbert tem papel importante na modulação em amplitude com banda simples, ou modulação *Single Sideband* (SSB), com recente destaque para comunicações óticas [4], [5]. Na modulação em amplitude convencional, ou *Amplitude Modulation* (AM), a portadora de um canal consiste em uma senóide com frequência fixa f_c , cuja amplitude varia conforme o sinal em banda-base, ou *Baseband* (BB), que se deseja transmitir. No domínio da frequência, a modulação AM resulta no deslocamento do espectro do sinal BB, limitado a uma frequência máxima $f_{máx}$, para acima da frequência f_c da portadora. Porém, uma cópia espelhada do espectro de BB surge abaixo da frequência da portadora conforme a Figura 1.1, razão pela qual é chamada de modulação com banda dupla ou *Double Sideband* (DSB). Esta cópia do espectro implica em redundância de informação uma vez que a recuperação do sinal BB no

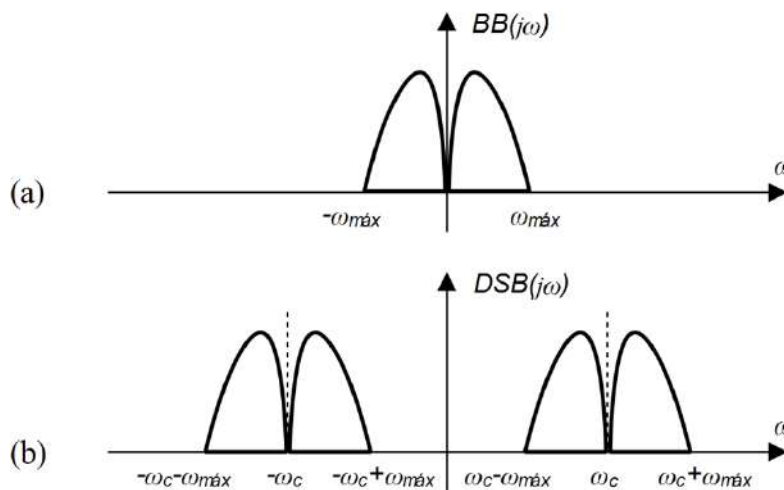


Figura 1.1: Espectro de frequência de: (a) um sinal banda-base e (b) a modulação *Double Sideband* correspondente.

receptor requer tão somente um de seus espectros.

A modulação SSB, por sua vez, possibilita a transmissão de um sinal contendo apenas um dos espectros de BB, disponibilizando a faixa de frequência antes ocupada pelo espectro redundante para outro canal. Consequentemente, a modulação SSB dobra a quantidade de canais que podem ocupar uma determinada faixa de frequência, além de consumir menos energia para transmitir a mesma informação. Em sistemas de comunicação ótica, por exemplo, a modulação SSB (*Optical SSB* ou OSSB) minimiza efeitos de dispersão cromática ao longo da fibra ótica, preservando a potência do sinal transmitido por distâncias maiores [5].

A modulação em quadratura, ou *Quadrature Amplitude Modulation* (QAM) [6], é outro método de transmissão com a mesma eficiência na utilização da banda de frequência disponível. Pela transmissão simultânea de dois sinais independentes por meio de portadoras de mesma frequência, porém defasadas de 90° entre si, a modulação QAM é capaz de duplicar a largura de banda por canal. Já a modulação SSB, embora possua a mesma banda por canal que a modulação DSB, duplica a quantidade de canais por faixa de frequência e, portanto, é mais vantajosa para o compartilhamento da banda disponível dentre um grande número de transmissores.

Idealizada no início da era das telecomunicações [7], a modulação SSB pode ser obtida de três maneiras:

- modulador por filtragem seletiva;
- modulador Hartley;
- modulador Weaver.

O primeiro método [6] utiliza a arquitetura da Figura 1.2 e baseia-se em um filtro passa-banda aplicado ao sinal DSB de modo que a saída SSB seja composta por apenas uma das bandas do sinal DSB. A resposta em frequência do filtro é tal que sua banda de transição ocorre justamente entre as duas bandas do sinal DSB. Como o filtro é aplicado à saída do *mixer*, ele necessariamente opera na mesma faixa de frequência da transmissão. Pela dificuldade na realização de filtros com transição abrupta em altas frequências, típicas em transmissões de radiofrequência (RF), este modulador SSB normalmente é implementado por uma cascata de estágios, cada estágio correspondendo à estrutura da Figura 1.2. Desta forma, a frequência f_c da portadora em cada estágio aumenta gradativamente, permitindo o uso de filtros com banda de transição mais suave com a desvantagem de aumentar a complexidade do modulador.

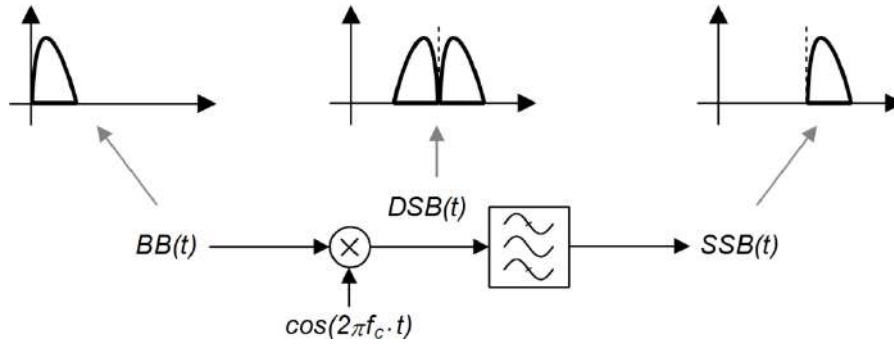


Figura 1.2: Modulação por filtragem seletiva.

O modulador Hartley [8] utiliza um defasador para obter uma cópia do sinal BB, porém defasada de 90° . Ao modular ambos os sinais BB por portadoras de mesma frequência, também defasadas de 90° (conhecido como modulador em quadratura), a soma resultante produz o sinal SSB desejado conforme o diagrama da Figura 1.3. Ao contrário do modulador por filtragem seletiva, o modulador Hartley processa o sinal de entrada BB antes de modulá-lo. Operando nas frequências de banda-base ao invés de RF, o modulador não necessita de uma cascata de filtros e a banda de transição de seu único filtro pode ser mais suave.

A taxa de rejeição de imagem, ou *Image Rejection Ratio* (IRR), do modulador Hartley depende diretamente da precisão na fase e na amplitude do defasador ao longo de uma larga faixa de frequência [9]. Por este motivo, o modulador Weaver [10] baseia-se apenas em moduladores em quadratura e filtros passa-baixa com transição suave para obter o sinal SSB a partir do sinal BB. Em contrapartida, a simplicidade do modulador Weaver limita sua aplicação apenas a sinais BB com banda estreita. Além disso, o modulador em quadratura de entrada na Figura 1.4 requer uma frequência f_o sintonizada com o centro da banda do sinal BB.

O modulador Hartley é, portanto, o método comumente adotado para implementar moduladores SSB de banda larga, ou *wideband*. Neste caso, o uso do transformador de

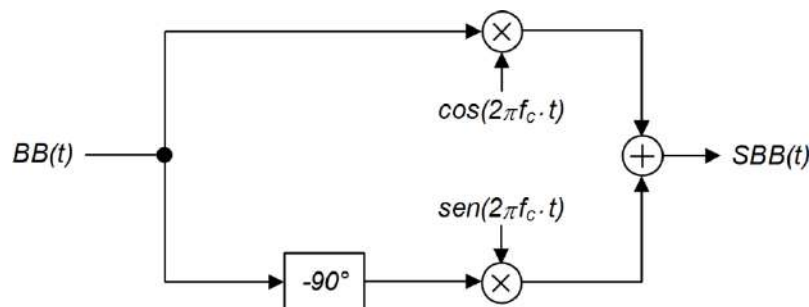


Figura 1.3: Modulador Hartley.

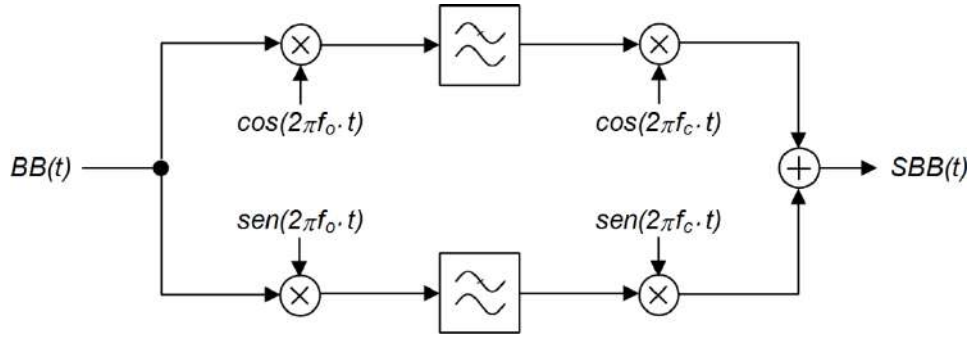


Figura 1.4: Modulador Weaver.

Hilbert, ou *Hilbert Transformer* (HT), para a realização de defasadores é a técnica mais usual. Assim sendo, tanto o modulador Hartley quanto o transformador de Hilbert serão analisados detalhadamente no Capítulo 2.

Com o advento do processamento digital de sinais, popularizou-se a realização de defasadores por meio de filtros com resposta finita ao impulso, ou *Finite Impulse Response* (FIR) [11]. O circuito integrado apresentado em [12], por exemplo, é tido como um conversor DSB-SSB apesar de não integrar o modulador em quadratura da arquitetura Hartley (Figura 1.3). Puramente digital, ele compreende apenas o defasador, realizado por um filtro FIR de 42ª ordem perfazendo um transformador de Hilbert com IRR teórica de 70 dB. Sendo o sinal de entrada do tipo DSB ao invés de BB, a frequência da portadora do sinal SSB resultante é diferente da portadora do sinal DSB. A área do circuito integrado em tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) de 1 μm é igual a 25,2 mm^2 e seu consumo de energia é igual a 1,8 W para uma frequência de 300 MHz. Não há valores quantitativos da sua IRR em silício.

Já em [13], o transformador de Hilbert digital é integrado em tecnologia CMOS de 350 nm como um filtro FIR de 30ª ordem. Alcançando IRR de 41,9 dB em simulações, o consumo é igual a 263 mW para uma frequência de chaveamento de 70 MHz e sua área de silício é igual a 0,86 mm^2 . A IRR deste circuito integrado também não foi medida experimentalmente.

Pela ausência de realimentação, a ordem de um filtro FIR geralmente deve ser mais elevada que a de um filtro com resposta infinita ao impulso, ou *Infinite Impulse Response* (IIR) [11], para que suas respostas em frequência sejam equivalentes. Em implementações digitais, isto implica em mais circuitos lógicos operando em paralelo, elevando sua área de silício bem como seu consumo de energia. Além disso, o consumo de circuitos digitais aumenta proporcionalmente com a frequência de chaveamento [14], de modo que filtros FIR de ordem elevada e tempo de resposta curto demandam grande

área e alto consumo. Assim, implementações analógicas do defasador também são comuns na literatura [15], [16].

O transformador de Hilbert proposto em [17] é implementado em tecnologia CMOS de 350 nm por meio de filtros ativos RC. Operando na faixa de voz (150 a 8500 Hz), seu transformador de Hilbert de 10ª ordem, com IRR teórica de 54 dB, alcançou apenas 42 dB experimentalmente para uma área de silício de 1,42 mm² e consumo de 0,78 mW, devido parcialmente à baixa precisão do valor absoluto que resistores e capacitores apresentam em circuitos integrados.

Para comunicações em fibra ótica, a operação na faixa de GHz requer tecnologias de circuito integrado especiais e limita a complexidade do circuito. Em [18], a tecnologia de silício-germânio (SiGe) de 600 nm com transistores bipolares de heterojunção, ou *Heterojunction Bipolar Transistors* (HBT) [19], foi adotada para implementar um transformador de Hilbert analógico de tempo contínuo usando redes LC como células passivas de atraso. Sendo o filtro do tipo FIR de 3ª ordem, sua IRR é de somente 7 dB.

O processamento de sinais analógicos por meio de filtros contínuos no tempo do tipo RC, G_m^1 -C ou MOSFET²-C depende diretamente do valor absoluto de resistores, capacitores ou transcondutâncias [19]. Em circuitos integrados, porém, variações em seu processo de fabricação causam a dispersão destes valores em 10% ou mais [20]. Em razão disso, a técnica de capacitores chaveados, ou *Switched Capacitor* (SC), é amplamente utilizada pois sua precisão não depende da *capacitância* de cada capacitor, apenas da *razão de capacitâncias* dentre um pequeno conjunto de capacitores [19]. Uma vez que cada conjunto geralmente restringe-se a dois ou três capacitores, técnicas apropriadas de *layout* permitem limitar o erro de descasamento a 1% por conjunto em circuitos integrados que dispõem de capacitores de alto desempenho do tipo metal-metal [19] ou polisilício-polisilício [21]. Também, por operar com sinais discretos no tempo, circuitos SC podem minimizar erros decorrentes de capacitâncias parasitas indesejadas, da tensão de *offset* e ganho finito dos amplificadores operacionais, além do ruído $1/f$ e da injeção de carga resultante da abertura das chaves analógicas. Desta forma, estruturas SC do transformador de Hilbert são capazes de atingir alta taxa de rejeição de imagem. Sua realização por meio de filtros IIR também contribui para circuitos mais simples por conta da ordem menor que de filtros FIR.

¹ Transcondutância

² Metal-Oxide-Semiconductor Field-Effect Transistor

Um receptor Hartley analógico em tecnologia CMOS de 180 nm é proposto em [22]. Visando a seleção de canais em um receptor de TV a cabo, o demodulador opera com frequência de amostragem f_s de 88 MHz e a largura de banda por canal é igual a 6 MHz. Este tipo de receptor utiliza a mesma arquitetura do transmissor Hartley (Figura 1.3), exceto pelo defasador posicionado *após* o modulador em quadratura. O diagrama simplificado do circuito é apresentado na Figura 1.5, onde o modulador em *dupla* quadratura [23] é implementado por seis multiplicadores analógicos de tempo contínuo. Cada multiplicador opera nos quatro quadrantes e é composto por uma célula de Gilbert CMOS [24] com carga resistiva. Já o defasador adota um transformador de Hilbert de tempo discreto a capacitores chaveados. Com resposta em frequência dada por um filtro IIR do tipo Butterworth de 5ª ordem, este transformador é constituído por uma associação de filtros SC do tipo passa-tudo, ou *All-Pass* (AP), de 1ª ordem (AP_1 e AP_2). Sua defasagem, apesar de extremamente linear, limita-se a uma estreita faixa de frequência, não caracterizando portanto um defasador *wideband*. Além disso, os coeficientes do numerador e denominador de cada filtro SC são implementados por razões de capacitores distintas, ocasionando distorções em sua resposta em frequência devido ao descasamento de capacitores. Embora a IRR teórica seja de 67 dB, falhas no projeto reduziram-na para 39 dB nos resultados experimentais.

Em [25], o receptor Hartley em tecnologia CMOS de 600 nm aplica-se à telefonia sem fio com frequência intermediária, ou *Intermediate Frequency* (IF), na entrada do *chip* de 10,432 MHz e largura de banda de 20 kHz por canal. O diagrama do circuito

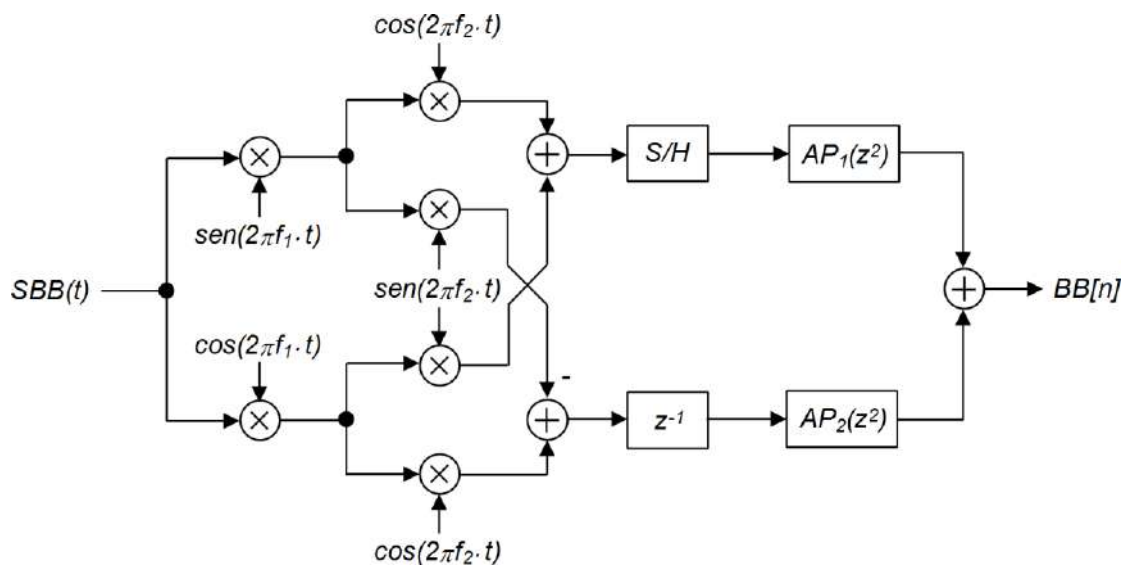


Figura 1.5: Receptor Hartley analógico em tecnologia 180 nm [22].

integrado é apresentado na Figura 1.6. Seu modulador em quadratura consiste de multiplicadores analógicos de quatro quadrantes de tempo contínuo com transistores MOSFET polarizados na região linear de operação [26]. Filtros passa-baixa de tempo contínuo de 4ª ordem, resultantes da associação de filtros de 2ª ordem ou *biquads* [19] do tipo MOSFET-C, limitam a frequência de entrada do transformador de Hilbert. O transformador propriamente dito utiliza filtros a capacitores chaveados do tipo passatudo de 2ª ordem. Para reduzir a quantidade de amplificadores operacionais na implementação dos atrasos $z^{-1/2}$, foram adotados circuitos SC polifásicos [27], cujos ciclos de processamento de sinal são maiores do que um ciclo de *clock*. Contudo, este tipo de arquitetura eleva significativamente a complexidade da geração das fases (sinais digitais sem superposição para acionamento das chaves analógicas), bem como da sincronização dos sinais analógicos entre circuitos SC. Sendo a função de transferência do defasador de 3ª ordem [27], a IRR teórica atinge 67 dB apenas em uma estreita faixa de 20 kHz ($0,225 f_s$ a $0,275 f_s$), que reduz-se a 47 dB nas simulações. O *ripple* nesta faixa é igual a 0,5 dB e o circuito integrado ocupa $1,5 \text{ mm}^2$. Por fim, a saída do receptor é obtida por um filtro passa-banda de 6ª ordem, resultante da cascata de 3 *biquads* a capacitores chaveados. Medidas experimentais de sua IRR não foram possíveis pois os circuitos SC do *chip* não funcionaram em decorrência de uma falha no processo de fabricação.

1.1. OBJETIVO

Esta Tese propõe um circuito integrado em tecnologia CMOS de 180 nm para a conversão de um sinal com modulação DSB em um sinal com modulação SSB. Operando com sinais analógicos, ele compreende não apenas um transformador de Hilbert de banda larga, mas um modulador SSB completo do tipo Hartley, assim como

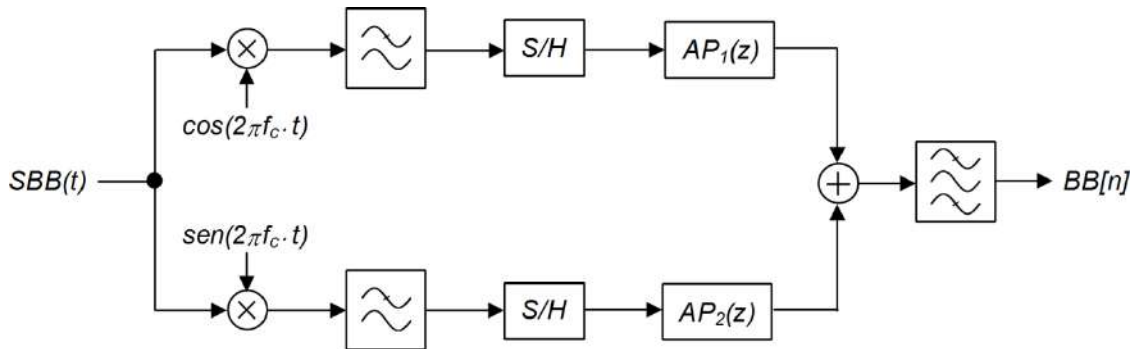


Figura 1.6: Receptor Hartley analógico em tecnologia 600 nm [25].

um demodulador DSB. Adotando uma arquitetura inovadora, o conversor não depende de multiplicadores analógicos de tempo contínuo, possibilitando uma implementação totalmente baseada em circuitos a capacitores chaveados. Diante das vantagens que circuitos SC oferecem sobre filtros de tempo contínuo (detalhadas na seção anterior), o conversor busca uma taxa de rejeição de imagem maior que implementações do estado da arte, comprovada experimentalmente em testes laboratoriais, além de boa repetibilidade entre amostras sem a necessidade de calibração prévia, consequência também da adoção de filtros estruturalmente passa-tudo com baixa sensibilidade ao descasamento de capacitores. Sua arquitetura permite ainda realizar o *downsampling* do modulador SSB, obtendo um circuito mais simples que os propostos até então, sem contudo comprometer a faixa operacional de frequência do defasador nem a taxa de rejeição do conversor.

1.2. ESTRUTURA DESTE TEXTO

Os fundamentos teóricos da transformada de Hilbert e sua aplicação na modulação SSB são descritos no Capítulo 2. A implementação do conversor DSB-SSB em circuito integrado para sinais analógicos discretos no tempo empregando a técnica de capacitores chaveados é detalhada no Capítulo 3. O Capítulo 4 propõe o método de otimização de razões de números inteiros desenvolvido especificamente para estruturas de filtros a capacitores chaveados. O desempenho do conversor DSB-SSB, auferido por meio de simulador de circuitos elétricos, é apresentado no Capítulo 5 e comparado ao desempenho de seu modelo matemático ideal, descrito em linguagem Verilog-A. Resultados experimentais obtidos após a fabricação do circuito integrado encerram este Capítulo atestando a viabilidade da arquitetura proposta. Por fim, o Capítulo 6 trata das conclusões e considerações finais, assim como propostas para trabalhos futuros. Os Anexos I e II listam os scripts de *MATLAB* para o projeto dos filtros *anti-aliasing* (AA) e de meia banda, respectivamente, enquanto o Anexo III lista o modelo matemático de um conversor ideal em Verilog-A.

CAPÍTULO 2

O TRANSFORMADOR DE HILBERT

A transformada de Hilbert $\mathcal{H}[g(t)]$ de um sinal $g(t)$ é definida como sua convolução com o sinal $1/\pi t$ [28], [29]:

$$\mathcal{H}[g(t)] = \hat{g}(t) = g(t) * \frac{1}{\pi t} = \frac{1}{\pi} \int_{-\infty}^{\infty} \frac{g(\tau)}{t - \tau} d\tau \quad (2.1)$$

Embora exista uma singularidade em $t = 0$ e os limites de integração sejam infinitos, a análise desta integral imprópria pelo valor principal de Cauchy [30] permite concluir que o sinal $\hat{g}(t)$, no domínio da frequência, é dado por:

$$\hat{G}(j\omega) = -j \cdot \text{sgn}(j\omega) \cdot G(j\omega) \quad (2.2)$$

onde $j = \sqrt{-1}$ e $\text{sgn}(j\omega)$ é chamada função sinal, cuja transformada de Fourier é dada por:

$$\text{sgn}(j\omega) = \begin{cases} 1, & \omega > 0 \\ -1, & \omega < 0 \end{cases} \quad (2.3)$$

Portanto, a transformada de Hilbert de um sinal resulta em um sinal de mesma amplitude em todo seu espectro de frequência, porém com defasagem de -90° para frequências positivas e 90° para frequências negativas conforme a Figura 2.1.

2.1. SINAL ANALÍTICO

Um sinal analítico $y_a(t)$ caracteriza-se por possuir espectro de frequência nulo para frequências negativas e não-nulo para frequências positivas [11]. Trata-se de um sinal complexo e é definido por:

$$y_a(t) = y(t) + j \cdot \hat{y}(t) \quad (2.4)$$

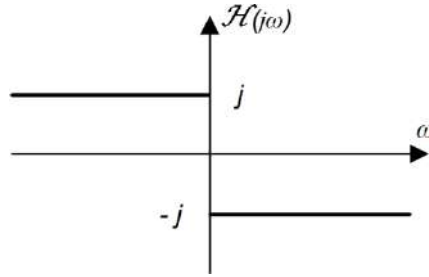


Figura 2.1: Transformada ideal de Hilbert.

onde $\hat{y}(t)$ é a transformada de Hilbert do sinal real $y(t)$. Aplicando a transformada de Fourier na Eq. (2.4) e combinando-a com a Eq. (2.2) tem-se:

$$Y_a(j\omega) = Y(j\omega) \cdot [1 + \text{sgn}(j\omega)] = Y(j\omega) \cdot 2 \cdot U(j\omega) \quad (2.5)$$

onde $U(j\omega)$ corresponde ao sinal degrau unitário para frequência. Logo, um sinal analítico pode ser obtido a partir de um sinal real por meio do filtro $P(j\omega)$:

$$P(j\omega) = 2 \cdot U(j\omega) = \begin{cases} 2, & \omega > 0 \\ 0, & \omega < 0 \end{cases} \quad (2.6)$$

cuja função de transferência é apresentada na Figura 2.2. Conforme descrito na Seção 2.3, $P(j\omega)$ é denominado filtro complexo de meia banda.

De forma análoga, um sinal analítico cujo espectro é composto apenas por frequências negativas é definido por:

$$y_{a-}(t) = y(t) - j \cdot \hat{y}(t) \quad (2.7)$$

e sua transformada de Fourier por:

$$Y_{a-}(j\omega) = Y(j\omega) \cdot 2 \cdot U(-j\omega) \quad (2.8)$$

A Figura 2.3 ilustra o espectro de frequência de um sinal real $y(t)$ e os sinais analíticos $y_a(t)$ e $y_{a-}(t)$ correspondentes.

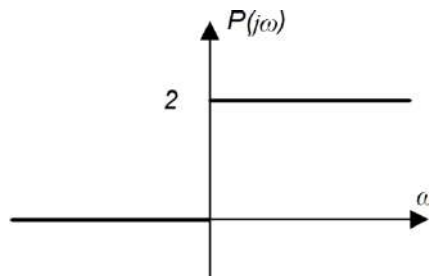


Figura 2.2: Filtro complexo de meia banda.

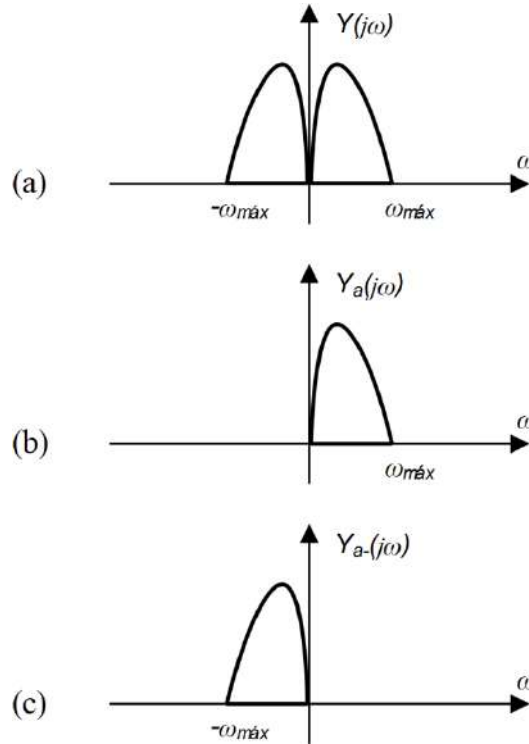


Figura 2.3: Espectro de frequência de: (a) um sinal real $y(t)$, (b) do sinal analítico $y_a(t)$ e (c) do sinal analítico $y_{a-}(t)$ correspondentes.

2.2. MODULAÇÃO SSB

No domínio da frequência, a modulação SSB pode ser representada por um sinal analítico cujo espectro é deslocado pela frequência f_c da portadora:

$$SSB(j\omega) = Y_a(j\omega - j\omega_c) + Y_{a-}(j\omega + j\omega_c) \quad (2.9)$$

onde a componente $Y_{a-}(j\omega + j\omega_c)$ corresponde ao espelho de $Y_a(j\omega - j\omega_c)$ em frequências negativas conforme a Figura 2.4, de modo que o espectro de SSB seja uma função par e, portanto, um sinal real no tempo. Mais especificamente, este tipo de modulação é chamado de *Upper Sideband* (USB) dado que o espectro de $y(t)$ está posicionado acima da portadora f_c .

Pela propriedade de deslocamento em frequência da transformada de Fourier, a transformada inversa da Eq. (2.9) resulta em:

$$ssb(t) = y(t) \cdot \cos(2\pi f_c \cdot t) - \hat{y}(t) \cdot \sin(2\pi f_c \cdot t) \quad (2.10)$$

No caso da modulação *Lower Sideband* (LSB), ilustrada na Figura 2.5, o raciocínio é análogo:

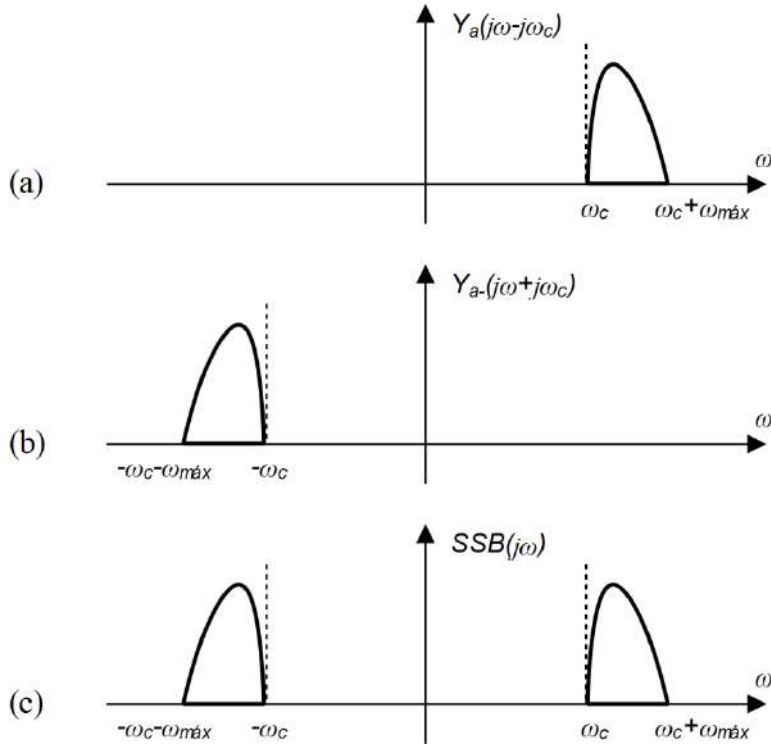


Figura 2.4: Espectro de frequência de: (a) sinal analítico $y_a(t)$ descolado em frequência, (b) sinal analítico $y_a(t)$ deslocado em frequência e (c) modulação *Upper Sideband* resultante.

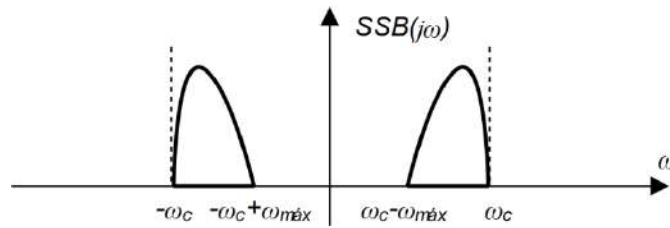


Figura 2.5: Modulação *Lower Sideband*.

$$LSB(j\omega) = Y_a(j\omega + j\omega_c) + Y_{a-}(j\omega - j\omega_c) \quad (2.11)$$

cuja transformada inversa é:

$$lsb(t) = y(t) \cdot \cos(2\pi f_c \cdot t) + \hat{y}(t) \cdot \sen(2\pi f_c \cdot t) \quad (2.12)$$

As Eqs. (2.10) e (2.12) demonstram que a modulação SSB pode ser obtida a partir do transformador de Hilbert segundo um sistema descrito pela Figura 2.6. Tal sistema corresponde ao modulador Hartley da Figura 1.3.

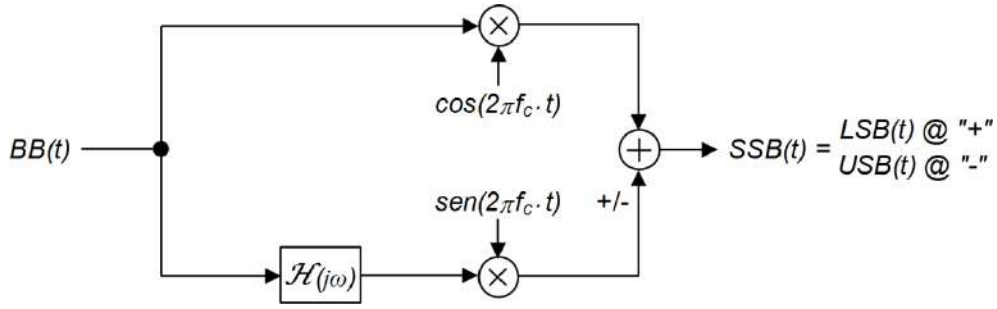


Figura 2.6: Modulador SSB baseado no transformador de Hilbert.

2.3. FILTRO COMPLEXO DE MEIA BANDA

Como os limites de integração da Eq. (2.1) são infinitos, a transformada de Hilbert é não-causal [11]. Consequentemente, o sistema da Figura 2.6 não é realizável. Já a obtenção de um sinal analítico a partir de um sinal real é possível por meio da função de transferência $P(j\omega)$ descrita pela Eq. (2.6). Contudo, esta função não possui simetria Hermitiana [30] e, portanto, seus coeficientes não são puramente reais. Logo, tal função também não é realizável.

No entanto, no caso de sinais discretos no tempo, deslocando-se o espectro de $P(e^{j\omega})$ para esquerda em $\pi/2$ conforme a Figura 2.7, sua função de transferência torna-se um filtro *real* de meia banda, $G(e^{j\omega})$, facilmente realizável por diferentes técnicas de síntese de filtros. Da relação entre $P(e^{j\omega})$ e $G(e^{j\omega})$ advém a denominação de $P(e^{j\omega})$ como filtro *complexo* de meia banda.

Por conveniência de projeto, adota-se amplitude normalizada para o filtro $G(e^{j\omega})$, de modo que a relação que descreve analiticamente a Figura 2.7 é:

$$G(e^{j\omega}) = \frac{1}{2} \cdot P\left(e^{j(\omega + \frac{\pi}{2})}\right) \quad (2.13)$$

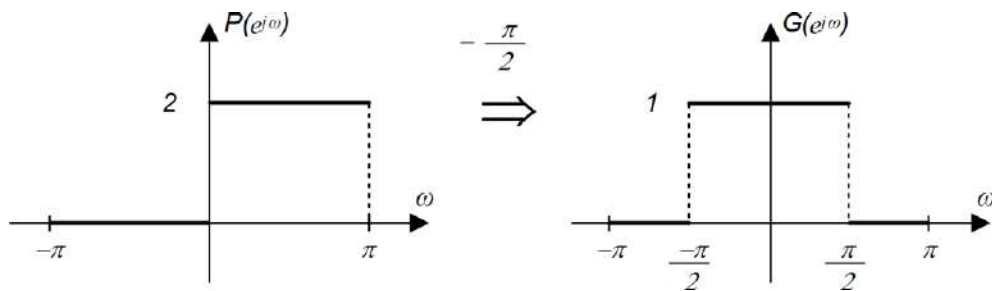


Figura 2.7: Deslocamento em frequência do filtro complexo de meia banda.

Dado que:

$$e^{j\frac{\pi}{2}} = j \quad (2.14)$$

e, no domínio da transformada Z, tem-se:

$$e^{j\omega} = z \quad (2.15)$$

a transformação de um filtro real de meia banda para sinais discretos $G(z)$ em um filtro complexo de meia banda $P(z)$ segundo a Eq. (2.13) resulta em:

$$P(z) = 2 \cdot G(-jz) \quad (2.16)$$

2.4. ESTRUTURAS DE FILTROS PASSA-TUDO

Um método para implementar diversos tipos de filtros baseia-se em estruturas série e paralelo de filtros IIR com função de transferência do tipo passa-tudo [31]. O filtro passa-tudo caracteriza-se por uma resposta em frequência com ganho unitário em todo o espectro:

$$|A(e^{j\omega})| = 1 \quad \because -\pi < \omega < \pi \quad (2.17)$$

Sua função de transferência é composta por pares de polo e zero, estando o polo e o zero situados simetricamente em relação ao círculo unitário no plano Z. Para sinais discretos no tempo, um filtro passa-tudo estável de ordem M com coeficientes reais tem função de transferência na forma [31]:

$$A(z) = \prod_{i=1}^M \frac{k_i - z^{-1}}{1 - k_i \cdot z^{-1}} \quad \because |k_i| < 1 \quad (2.18)$$

No caso de um filtro real de meia banda de ordem ímpar, a estrutura de filtros passa-tudo comumente utilizada é:

$$G(z) = \frac{1}{2} \cdot [A_0(z^2) + z^{-1} \cdot A_1(z^2)] \quad (2.19)$$

onde $A_0(z^2)$ e $A_1(z^2)$ são filtros passa-tudo estáveis. Tal arquitetura é ilustrada na Figura 2.8. Aplicando a transformação dada pela Eq. (2.16) na Eq. (2.19), o filtro de meia banda $G(z)$ passa a ser complexo:

$$P(z) = A_0(-z^2) + j \cdot z^{-1} \cdot A_1(-z^2) \quad (2.20)$$

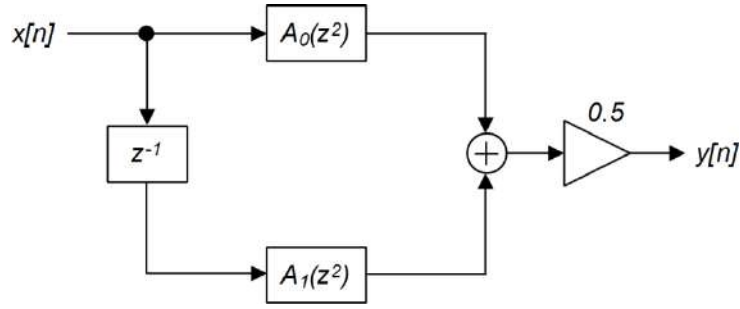


Figura 2.8: Estrutura de filtros passa-tudo para filtro real de meia banda.

Neste caso, seu diagrama de blocos é representado pela Figura 2.9. Sendo sua resposta em frequência dada pela Figura 2.2, a saída $y[n]$ é um sinal analítico. Recorrendo à Eq. (2.4), que relaciona o sinal analítico com a transformada de Hilbert, conclui-se que a saída do filtro $A_1(-z^2)$, $y_{IM}[n]$ na Figura 2.9, é a transformada de Hilbert da saída do filtro $A_0(-z^2)$, $y_{RE}[n]$ [32]:

$$y_{IM}[n] = \hat{y}_{RE}[n] \quad (2.21)$$

2.5. MODULADOR SSB

O modulador SSB proposto para o conversor DSB-SSB baseia-se no filtro complexo de meia banda da Figura 2.9, que obtém a transformada de Hilbert de um sinal real conforme a Eq. (2.21). Já a obtenção de um sinal SSB a partir da transformada de Hilbert de um sinal BB é dada pelo sistema da Figura 2.6. Portanto, a realização de um modulador SSB resulta da combinação destes dois sistemas, conforme ilustrado na Figura 2.10.

2.5.1. DOWNSAMPLING DO SINAL SSB

Como os filtros A_0 e A_1 da Figura 2.10 processam apenas uma de cada duas amostras sucessivas de $BB[n]$, o circuito que sucede os filtros - o modulador em

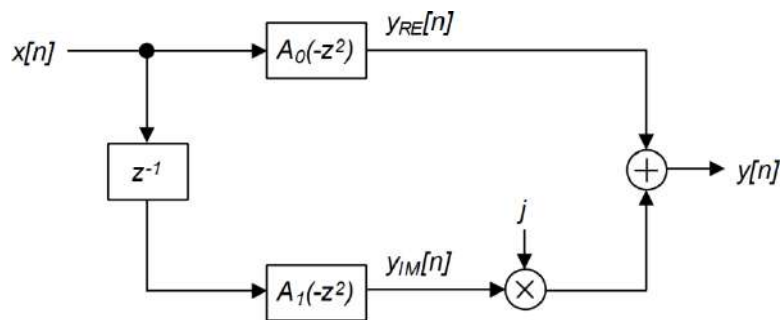


Figura 2.9: Estrutura de filtros passa-tudo para filtro complexo de meia banda.

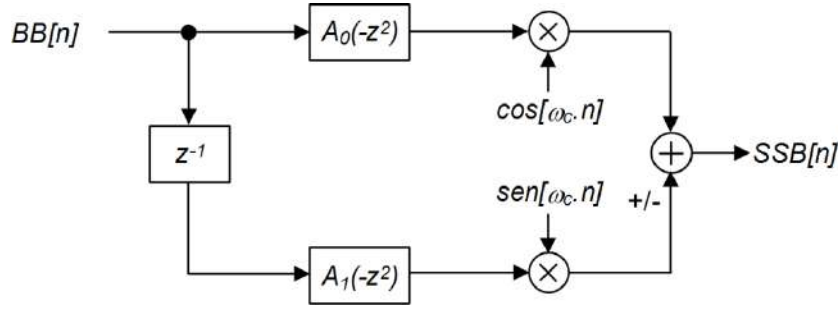


Figura 2.10: Modulador SSB utilizando filtros passa-tudo.

quadratura - pode operar com metade da frequência de amostragem f_s . O processo de *downsampling* [33] por um fator de 2 do modulador em quadratura é ilustrado na Figura 2.11. Já a teoria de sistemas multitaxas garante que, de acordo com a Primeira Identidade Nobre [34], o *downsampling* pode ser aplicado antes dos filtros A_0 e A_1 segundo a transformação da Figura 2.12. Por fim, a estrutura composta pelo atraso unitário e os decimadores equivale a uma chave multiplexadora conforme a Figura 2.13. Substituindo-a na Figura 2.12, obtém-se a arquitetura otimizada do modulador SSB da Figura 2.14. Comparada com a original (Figura 2.10), esta arquitetura não apenas utiliza

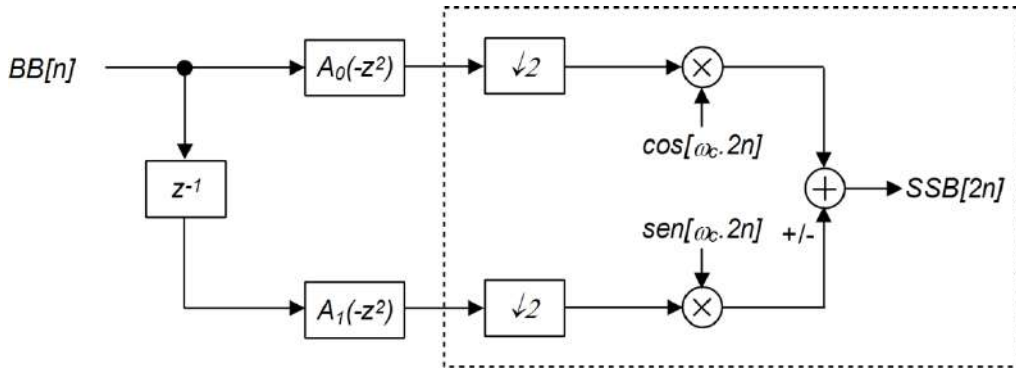


Figura 2.11: *Downsampling* do modulador em quadratura.

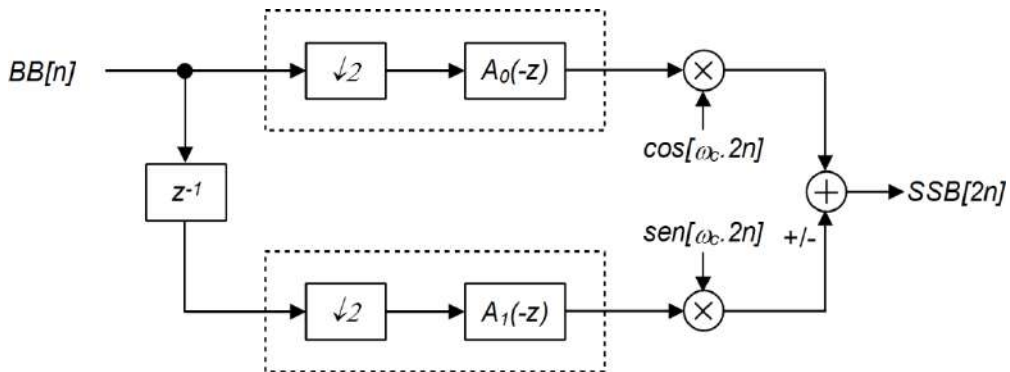


Figura 2.12: Transformação dos filtros segundo a Primeira Identidade Nobre.

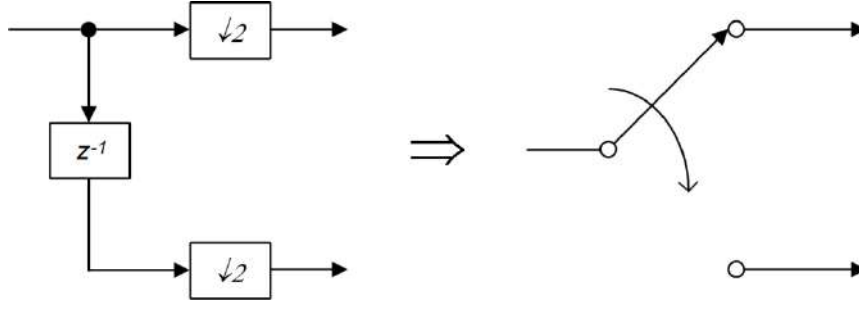


Figura 2.13: Simplificação por chave multiplexadora.

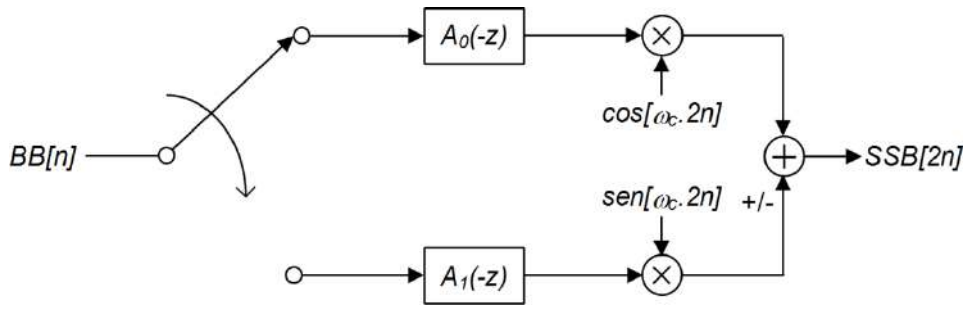


Figura 2.14: Arquitetura otimizada do modulador SSB.

circuitos mais simples como também consome menos potência visto que seus circuitos operam com metade da frequência de chaveamento, sem contudo comprometer seu desempenho. No caso de sistemas a capacitores chaveados, a redução da frequência de chaveamento traduz-se no relaxamento de requisitos de projeto tais como *slew rate* de amplificadores operacionais, banda de transição de filtros e dimensões mínimas tanto das chaves analógicas quanto do capacitor unitário.

Mesmo com a redução da taxa de amostragem, a frequência máxima dos sinais do modulador SSB deve respeitar a taxa de Nyquist [33], inclusive a saída $SSB[2n]$:

$$f_{SSB} < \frac{f'_s}{2} \therefore f'_s = \frac{f_s}{2} \quad (2.22)$$

Assim, para que o *downsampling* seja possível, a frequência da saída SSB deve ser menor que 1/4 da frequência de amostragem original f_s . Recorrendo à Figura 2.4, a frequência máxima do sinal modulado ocorre para modulação *Upper Sideband* com sinal banda-base de frequência $f_{máx}$, sendo $f_{máx}$ limitada pela frequência f_c da portadora (Figura 2.5) a fim de evitar *aliasing* [33] pela presença de frequências negativas.

Tomando então o sinal banda-base $BB(t)$ como uma senóide de frequência f_c , a entrada $y(t)$ na Eq. (2.10), que define a modulação *Upper Sideband*, passa a ser:

$$y(t) = BB(t) = \cos(2\pi f_c \cdot t) \quad (2.23)$$

Uma vez que a transformada de Hilbert de uma cossenóide é uma senóide [28]:

$$\mathcal{H}[\cos(t)] = \sin(t) \quad (2.24)$$

A substituição das Eqs. (2.23) e (2.24) na Eq. (2.10) resulta em:

$$ssb(t) = \cos(2\pi f_c \cdot t) \cdot \cos(2\pi f_c \cdot t) - \sin(2\pi f_c \cdot t) \cdot \sin(2\pi f_c \cdot t) \quad (2.25)$$

Pela propriedade do produto de senos e cossenos [35], a Eq. (2.25) reduz-se a:

$$ssb(t) = \cos(2\pi \cdot f_{SSB} \cdot t) \therefore f_{SSB} = 2 \cdot f_c \quad (2.26)$$

A Eq. (2.26) mostra que a frequência máxima do sinal de saída $SSB(t)$ é o dobro da frequência da portadora. Substituindo a Eq. (2.26) na Eq. (2.22), obtém-se:

$$f_s > 8 \cdot f_c \quad (2.27)$$

Conclui-se pela Eq. (2.27) que, para o modulador discreto no tempo da Figura 2.11, o processo de *downsampling* determina que a frequência de amostragem f_s seja, pelo menos, 8 vezes maior que a frequência f_c da portadora. Aplicando a mesma análise ao modulador sem *downsampling* (Figura 2.10), sua frequência de amostragem f_s deve ser 4 vezes maior que a frequência f_c .

O resultado analítico descrito pela Eq. (2.27) deriva de um sinal banda-base com frequência f_c . Entretanto, um sistema capaz de operar com tal frequência não é realizável pois implicaria em um filtro de meia banda com transição infinitamente abrupta. No caso usual em que a frequência $f_{máx}$ do sinal banda-base é menor que f_c , para o modulador SSB da Figura 2.14 é suficiente a relação:

$$f_s = 8 \cdot f_c \quad (2.28)$$

CAPÍTULO 3

O CONVERSOR DSB-SSB

Com base na fundamentação teórica do Capítulo 2, a realização em circuito integrado de um conversor DSB-SSB é proposta conforme o diagrama de blocos da Figura 3.1 [36]. Todos os circuitos do conversor operam com sinais analógicos diferenciais a fim de duplicar sua faixa dinâmica bem como sua relação sinal-ruído, ou *Signal-to-Noise Ratio* (SNR) [21]. Além disso, componentes de modo comum do ruído, assim como não-linearidades de ordem par no circuito, são eliminadas por cancelamento em estruturas diferenciais balanceadas.

Todos os circuitos a capacitores chaveados do conversor são estruturados de forma a eliminar de sua saída diferencial o erro introduzido pela tensão de *offset* de seu amplificador operacional, uma vez que tal erro resulta em uma componente espúria na frequência da portadora SSB [37] e, dependendo de sua amplitude, pode comprometer a taxa de rejeição de imagem do conversor.

3.1. TECNOLOGIA DE CIRCUITO INTEGRADO

A tecnologia de circuito integrado adotada para projeto e realização do conversor DSB-SSB foi a *H18* [38] da *ams AG*, anteriormente conhecida como *Austria Mikro Systeme* (AMS). Trata-se de uma tecnologia CMOS com dimensão mínima de 180 nm, transistores do tipo MOSFET com polarização de 1,8 V e seis níveis de metal para interconexões. A tecnologia oferece ainda transistores do tipo MOSFET de canal N com poço isolado, transistores do tipo MOSFET de média e alta tensões (5 V e 20 V, respectivamente), resistores de silício policristalino de alta resistividade, capacitores metal-metal, transistores bipolares e diodos para aplicações analógicas bem como analógico-digitais, também conhecidas como aplicações *mixed signal*.

A arquitetura do conversor DSB-SSB requer tão somente transistores do tipo MOSFET de 1,8 V – de canal N (NMOS), de canal N com poço isolado e de canal P (PMOS) – além de capacitores do tipo metal-metal (CMIM).

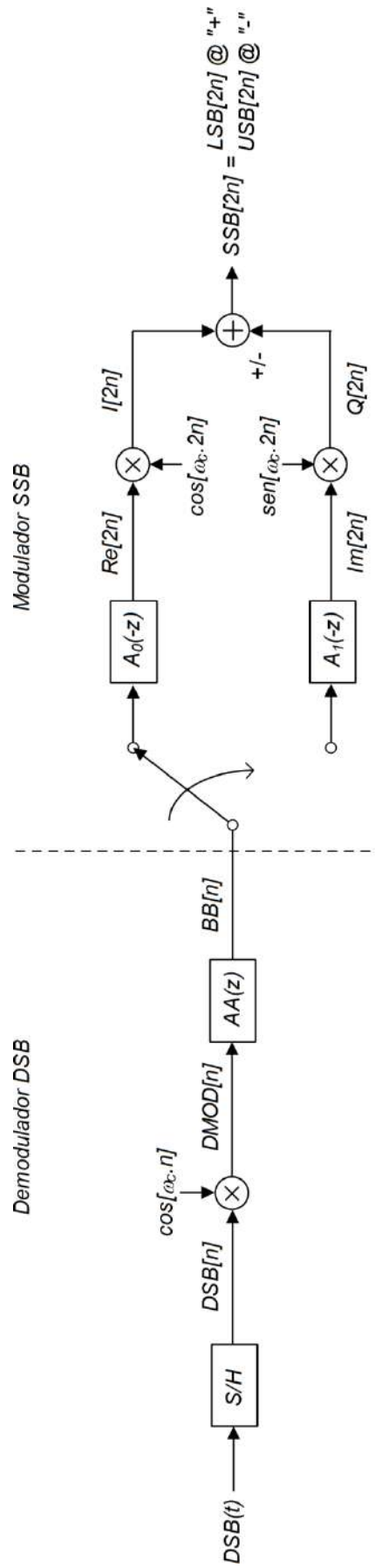


Figura 3.1: Conversor DSB-SSB.

3.2. CONDIÇÕES DE PROJETO

Os circuitos elementares do conversor (portas lógicas, elementos de atraso, chaves analógicas, amplificadores operacionais, etc) foram projetados de forma a suportar variações de processo, tensão e temperatura, ou PVT (*Process, Voltage and Temperature*). As variações de processo consistem na dispersão estatística de $\pm 3\sigma$ (três desvios padrões ou 99,7% dos dados estatísticos) no processo de fabricação de circuitos integrados que afeta cada um dos tipos de dispositivo da tecnologia de forma independente. Tais variações não contemplam, contudo, a dispersão estatística entre dispositivos do mesmo tipo, ou *descasamento*. As variações de processo são modeladas pela *foundry* AMS como *corners* do simulador, ou seja, bibliotecas de modelo onde os parâmetros dos dispositivos são alterados conforme dados estatísticos experimentais.

A variação admitida para a tensão de alimentação foi de $\pm 10\%$, típica em tecnologias com polarização de 1,8 V:

$$1,62 \text{ V} \leq V_{DD} \leq 1,98 \text{ V} \quad (3.1)$$

Para projeto definiu-se a faixa comercial de temperatura operacional [39]:

$$0 \text{ }^{\circ}\text{C} \leq T \leq 70 \text{ }^{\circ}\text{C} \quad (3.2)$$

Os limites de excursão para os sinais do conversor são de $\pm 1 \text{ V}$ diferencial para tensão de modo comum $V_{CM} = 0,9 \text{ V}$ e tensão de alimentação $V_{DD} = 1,8 \text{ V}$. Tais limites, assim como V_{CM} , são diretamente proporcionais a V_{DD} e aplicam-se tanto aos sinais de entrada e de saída quanto aos sinais internos do conversor.

3.3. CAPACITOR UNITÁRIO

Conforme detalhado no Capítulo 4, o conversor DSB-SSB emprega circuitos SC cujos capacitores são associações em paralelo de um mesmo capacitor: o capacitor unitário. Na tecnologia adotada, o capacitor unitário é constituído por um capacitor de placas paralelas de metal com óxido fino como dielétrico. Este tipo de capacitor é muito utilizado em aplicações analógicas por proporcionar bom casamento, alta linearidade com tensão e boa densidade de capacitância por área. Suas dimensões mínimas são $4 \text{ }\mu\text{m} \times 4 \text{ }\mu\text{m}$, resultando em uma capacitância de 31 fF. Segundo o modelo de descasamento [40] fornecido pela *foundry*, estima-se que o descasamento entre capacitores deste tamanho - posicionados próximos entre si e em configuração centróide comum - seja menor que 0,33%, considerando todas as imprecisões no processo de

fabricação. Porém, nessa tecnologia, tal capacitância é apenas uma a duas ordens de grandeza maior que capacitâncias parasitas entre trilhas de interconexão.

Logo, adotou-se um capacitor unitário de 200 fF. Com área de $10\text{ }\mu\text{m} \times 10\text{ }\mu\text{m}$, o descasamento estimado limita-se a 0,133%. Este valor de capacitância é tal que, em grandes associações em paralelo (Seções 3.8.2 e 3.9.1), o valor total de capacitância não seja excessivamente grande a ponto de limitar a frequência de operação do conversor. Além disso, uma capacitância desta ordem de grandeza é menos sensível a capacitâncias parasitas indesejadas e à injeção de carga provocada pela abertura das chaves analógicas.

Um importante parâmetro de projeto em circuitos a capacitores chaveados é o valor quadrático médio (*Root Mean Square* ou RMS) do ruído térmico produzido pela chave analógica quando amostrado pelo capacitor unitário [19]:

$$v_{noise\ (RMS)} = \sqrt{\frac{k \cdot T}{C}} \quad (3.3)$$

onde k é a constante de Boltzmann, T é a temperatura em kelvins e C é o valor do capacitor em farads. Para o capacitor unitário de 200 fF e temperatura ambiente de $27\text{ }^{\circ}\text{C}$, a Eq. (3.3) resulta em $144\text{ }\mu\text{V}_{\text{RMS}}$. Este valor independe da frequência de amostragem f_s e diminui conforme a quantidade de capacitores unitários associados em paralelo aumenta.

3.4. CHAVES ANALÓGICAS

As chaves analógicas utilizadas no conversor possuem a estrutura da Figura 3.2. Trata-se de uma chave complementar, composta por um transistor NMOS em paralelo com um transistor PMOS. Sua resistência R_{ON} é relativamente baixa tanto no extremo positivo quanto negativo da excursão de sinal, tornando-a mais vantajosa que chaves constituídas apenas por um transistor NMOS ou PMOS, visto que tais chaves possuem alta resistência para sinais próximos de V_{DD} e V_{SS} , respectivamente. No caso das chaves NMOS, é possível reduzir sua resistência R_{ON} aumentando sua tensão *gate-bulk* por meio de um circuito de *charge pump* [41], capaz de gerar uma tensão de *gate* maior que V_{DD} . Este circuito, porém, requer o uso de transistores e capacitores que suportam tensões maiores que V_{DD} , não sendo portanto compatíveis com a tecnologia CMOS padrão.

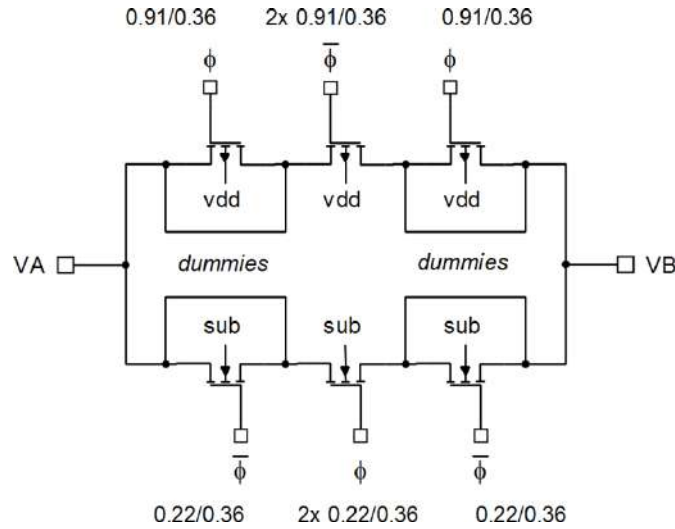


Figura 3.2: Chave analógica complementar (dimensões em μm).

Para reduzir o fluxo de carga dos transistores da chave para os capacitores, a estrutura da Figura 3.2 adiciona transistores *dummies* a seus terminais. Sua largura é exatamente metade dos transistores principais e eles operam com fase oposta, de modo que cada transistor *dummy* absorva completamente a carga injetada por cada terminal do transistor principal [42]. Sabe-se, contudo, que tal cancelamento não é perfeito [43]. Por isso, a injeção de carga mantém-se como um efeito indesejado a ser avaliado durante o projeto.

A largura dos transistores é um parâmetro importante de projeto uma vez que ela é inversamente proporcional à resistência R_{ON} equivalente da chave assim como diretamente proporcional ao efeito indesejado de injeção de carga. A resistência R_{ON} não deve ser excessivamente elevada no meio da excursão de sinal do conversor. Caso contrário, a constante de tempo para carga e descarga dos capacitores torna-se um limitador da sua frequência de operação. Tal limitação é amenizada aumentando-se a largura dos transistores. Por outro lado, a capacitância *gate-bulk* C_{GB} dos transistores é diretamente proporcional à sua largura, aumentando a carga do canal sob o *gate* quando o mesmo está polarizado na região linear ou “fechado”. Portanto, quando o transistor “abre”, ou é polarizado na região de corte, maior é a carga que flui para os capacitores conectados aos seus terminais. Logo, a definição da largura dos transistores tem como base a relação de compromisso entre frequência de operação e precisão do conversor.

Adotando largura mínima para seus transistores *dummies*, dobrou-se a largura do transistor NMOS ($W = 2 \times 0,22 \mu\text{m}$) e o transistor PMOS foi dimensionado de tal forma ($W = 2 \times 0,91 \mu\text{m}$) que a resistência R_{ON} equivalente da chave seja a mesma nos limites

superior e inferior da excursão de sinal do conversor. Como o comprimento mínimo de canal na tecnologia adotada ($L = 0,18 \mu\text{m}$) resulta em uma baixa resistência R_{OFF} equivalente da chave, causando considerável fuga de carga (*leakage*) nos capacitores para baixas frequências de operação do conversor, adotou-se o dobro desse comprimento para todos os transistores da chave.

3.5. GERADOR DE FASES

“Fases” são os sinais digitais que controlam a abertura e o fechamento das chaves analógicas. Como ilustrado na Figura 3.2, cada chave depende de uma fase (Φ) e sua fase invertida ($\bar{\Phi}$). A técnica de capacitores chaveados requer que chaves conectadas a um mesmo nó, quando controladas por fases distintas, não podem estar fechadas simultaneamente, por menor que seja este instante de tempo. Para tanto, o gerador de fases da Figura 3.3 assegura, por meio de elementos de atraso, que não haja superposição de fases. O atraso introduzido por cada elemento é de poucos nanosegundos e ocorre apenas nas transições negativas. Contudo, o efeito combinado de todos os elementos resulta em um intervalo de tempo entre a transição negativa de uma fase e a transição positiva da outra fase.

A fase F_{1A} (F_{2A}) possui transição negativa antecipada em relação à transição negativa da fase F_1 (F_2) em alguns nanosegundos e destina-se a circuitos a capacitores

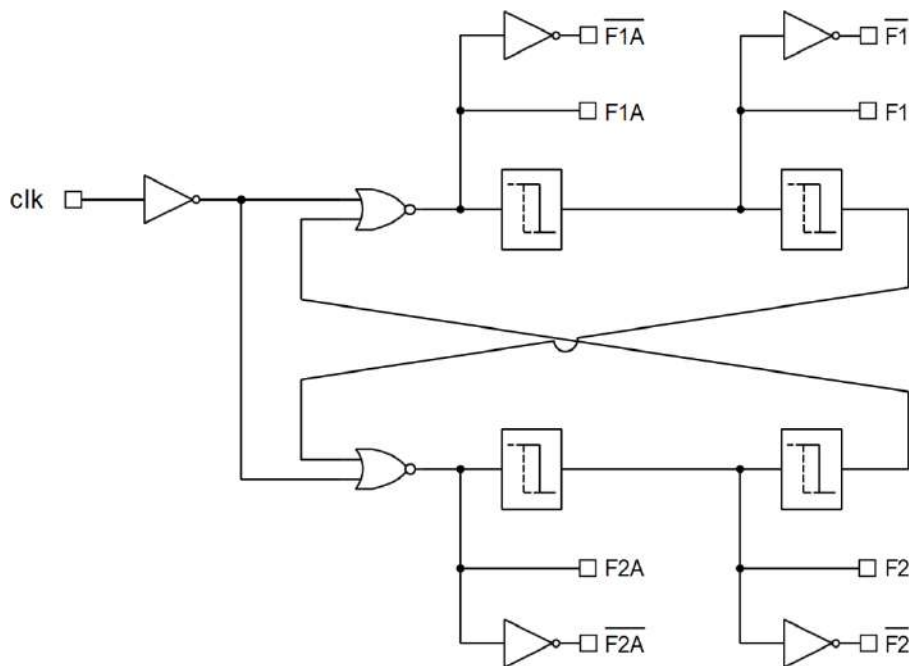


Figura 3.3: Gerador de fases sem superposição.

chaveados que utilizam a técnica de *bottom-plate sampling* [44].

O gerador de fases foi projetado de forma a produzir uma não-superposição mínima de 7 ns entre F_1 e F_2/F_{2A} (F_2 e F_1/F_{1A}), considerando as variações de PVT descritas na Seção 3.2. Além disso, a transição negativa da fase F_{1A} (F_{2A}) ocorre no mínimo 4 ns antes da transição negativa de F_1 (F_2). No conversor DSB-SSB (Figura 3.1), o demodulador DSB é controlado pelas fases Φ_1 , Φ_{1A} , Φ_2 e Φ_{2A} enquanto o modulador SSB, que opera com metade da frequência do demodulador, é controlado pelas fases F_1 , F_{1A} , F_2 e F_{2A} . Logo, o conversor utiliza dois geradores de fase idênticos ao da Figura 3.3. O gerador do demodulador DSB utiliza um sinal de *clock* externo, conectado ao conversor por um pino digital do *chip*, enquanto o sinal de *clock* usado pelo gerador do modulador SSB é produzido internamente pelo conversor a partir do *clock* externo. Dado que o sinal $BB[n]$ na Figura 3.1 é válido na fase Φ_2 , os sinais de *clock* dos geradores de fase são tais que a transição negativa das fases F_1 e F_2 é sincronizada com a transição negativa da fase Φ_2 .

3.6. CIRCUITO DE *SAMPLE-AND-HOLD*

O conversor DSB-SSB tem como entrada um sinal analógico diferencial e contínuo no tempo $DSB(t)$. Primeiramente, este sinal é amostrado por um circuito de *Sample-and-Hold* (S/H) com frequência de amostragem f_s conforme a Figura 3.4.

Devido ao processo de amostragem, o sinal $DSB(t)$ deve ser limitado em banda até uma frequência máxima f_{DSB} respeitando a taxa de Nyquist:

$$f_{DSB} < \frac{f_s}{2} \quad (3.4)$$

Caso contrário, o sinal amostrado $DSB[n]$ sofrerá *aliasing* pela superposição de cópias

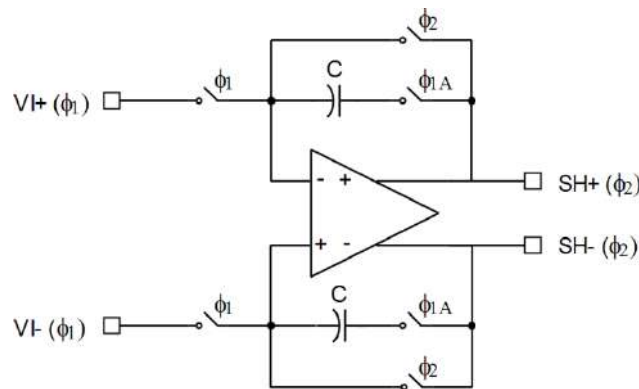


Figura 3.4: Circuito de *Sample-and-Hold*.

do espectro de $DSB(t)$. Neste caso, um pré-filtro passa-baixa contínuo no tempo deve ser usado para garantir que a entrada $DSB(t)$ do conversor respeite o critério da Eq. (3.4).

As chaves controladas pela fase Φ_{IA} abrem ligeiramente antes das chaves controladas pela fase Φ_I a fim de minimizar a dependência da injeção de carga com a amplitude do sinal de entrada $VI[n]$, conforme recomendado pela técnica de *bottom-plate sampling*. Este circuito de S/H é usado em muitos outros circuitos SC do conversor, como veremos ao longo deste capítulo. Cada circuito de S/H adiciona um atraso de meio ciclo de *clock* ao sinal de saída $SH[n]$.

3.7. AMPLIFICADOR OPERACIONAL

Todos os circuitos a capacitores chaveados do conversor incorporam um amplificador operacional cuja arquitetura é ilustrada na Figura 3.5. Trata-se de um *folded-cascode* com entrada e saída diferenciais [45], que oferece elevado ganho de malha aberta, bem como alta frequência de ganho unitário e boa margem de fase para cargas puramente capacitivas. Neste caso, sua compensação em frequência é realizada pela própria carga, sem a necessidade de capacitor interno. Assim, esta arquitetura é mais propícia para circuitos SC que outras pois a malha de realimentação do circuito, constituída por matrizes de capacitores unitários, garante a estabilidade do amplificador.

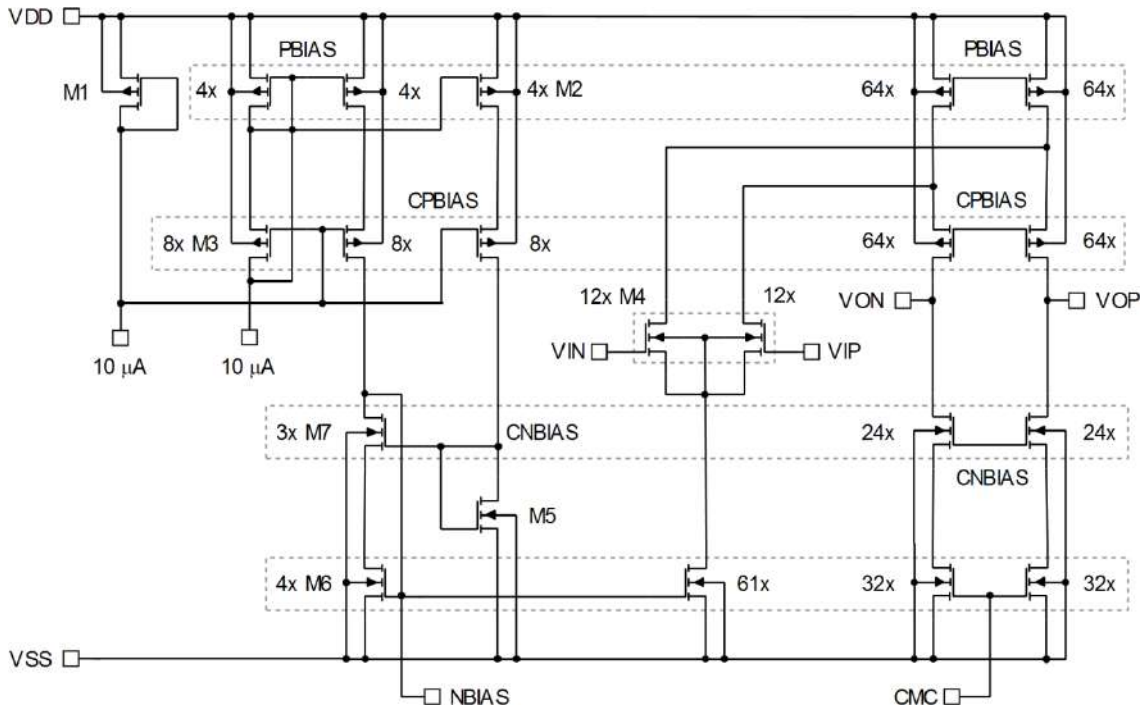


Figura 3.5: Esquemático do amplificador operacional.

Seu par diferencial é constituído por transistores NMOS por gerarem menos ruído térmico que os transistores PMOS [46]. Além disso, seus transistores possuem poço isolado a fim de reduzir o ruído pelo substrato bem como anular o efeito de corpo, consequentemente aumentando a excursão do sinal de entrada. As estruturas *cascade* do estágio de saída são do tipo *high swing*, ou seja, utilizam transistores com tensão de polarização V_{GS} próxima (50-60 mV) da tensão de *threshold* V_{TH} . Com isso, a tensão mínima de saturação V_{DSAT} é bem pequena, maximizando a excursão do sinal de saída.

O amplificador operacional é polarizado por duas correntes *sink* de 10 μA e consome 360,3 μA . As dimensões de cada transistor estão listadas na Tabela 3.1. Os transistores circundados por uma mesma linha tracejada na Figura 3.5 são criteriosamente posicionados em uma matriz para fins de casamento e o multiplicador próximo a cada transistor indica sua quantidade na matriz. Todos os transistores NMOS ($M5-M7$) utilizam canal longo pois, na tecnologia adotada, seu efeito de modulação de canal é considerável para canais curtos, a ponto de degradar o ganho de malha aberta do amplificador operacional. No entanto, o par diferencial $M4$ foi dimensionado de forma que a capacitância de entrada do amplificador operacional não introduzisse um erro significativo na saída de cada circuito SC. Os transistores $M1$ e $M5$ requerem dimensões diferenciadas para gerar as tensões de polarização $CPBIAS$ e $CNBIAS$, respectivamente.

Devido à sua saída diferencial, cada amplificador operacional é acompanhado por

Tabela 3.1: Dimensões dos transistores do amplificador operacional.

Transistor	Largura (μm)	Comprimento (μm)
$M1$	6,37	2,00
$M2$	3,49	0,76
$M3$	6,02	1,00
$M4$	5,37	1,00
$M5$	2,13	3,00
$M6$	2,85	2,85
$M7$	6,25	2,00

um circuito a capacitores chaveados de realimentação de modo comum, ou *Common-Mode Feedback* (CMFB), conforme a Figura 3.6 [47]. As fases Φ_1 e Φ_2 correspondem às mesmas fases que controlam o circuito SC contendo o amplificador operacional e o circuito de CMFB. O circuito de CMFB mantém a tensão de controle CMC (sinal de entrada na Figura 3.5) próxima da tensão de referência $NBIAS$ (sinal de saída na Figura 3.5), acrescida de qualquer diferença entre a tensão de modo comum na saída e a tensão esperada VCM , de forma a anular tal diferença. A tensão de modo comum esperada, tanto na entrada quanto na saída do amplificador operacional, é igual a $V_{DD}/2$. Para tensão de alimentação igual a 1,8 V, por exemplo, VCM é 0,9 V.

Uma análise dos nós conectados à saída de cada amplificador operacional do circuito integrado revelou que a carga capacitiva nestes nós varia de $4C$ a $44C$, sendo C o capacitor unitário. A carga de cada amplificador compreende os capacitores do seu circuito de CMFB, a malha capacitiva de realimentação do circuito SC que o contém, bem como a capacitância de entrada do circuito SC posterior correspondente. Para o capacitor unitário de 200 fF (seção 3.3), a carga do amplificador pode chegar a 8,8 pF. Adotou-se então uma carga capacitiva de 10 pF para análise da sua resposta em frequência em malha aberta. Conforme ilustrado na Figura 3.7, seu ganho de malha aberta é igual a 69,79 dB e a frequência de ganho unitário é igual a 14,8 MHz com margem de fase de 79,6°.

3.8. DEMODULADOR DSB

O sinal de entrada amostrado $DSB[n]$ é processado por um demodulador AM coerente [6] a fim de obter o sinal banda-base $BB[n]$. Tal demodulador compõe-se de um *mixer* seguido por um filtro passa-baixa para eliminar a cópia do espectro do sinal BB na frequência $2f_c$, introduzida pelo *mixer*. O demodulador DSB não é parte integrante de nenhum dos trabalhos citados no Capítulo 1.

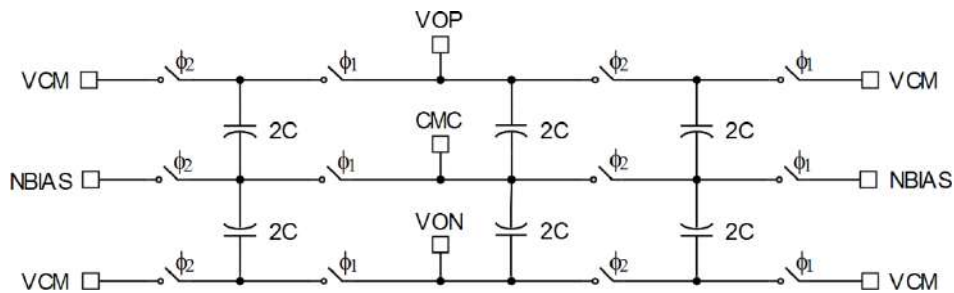


Figura 3.6: Esquemático do circuito de controle da tensão de modo comum na saída.

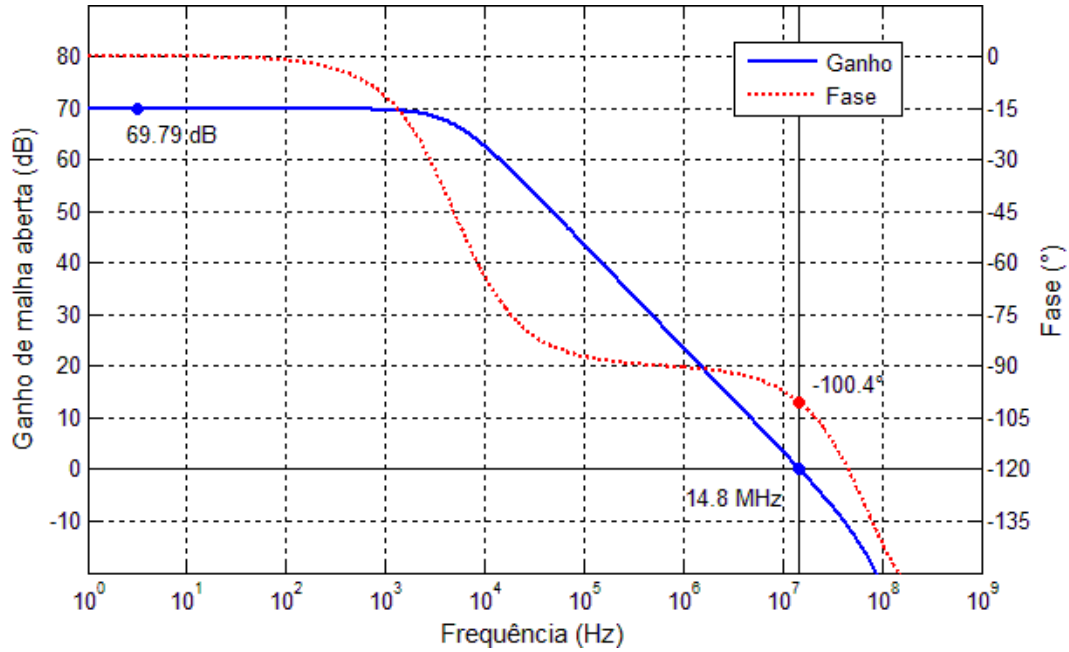


Figura 3.7: Resposta em frequência do amplificador operacional em malha aberta.

3.8.1. MIXER

Para sinais analógicos contínuos no tempo, o *mixer* traduz-se em um multiplicador de tensão de quatro quadrantes, como proposto em [22] e [25]. O multiplicador possui ganho fixo e duas entradas: o sinal DSB modulado na frequência f_c e a senóide de um oscilador local sintonizado na mesma frequência f_c . Para sinais discretos no tempo, no caso em que a frequência f_c da portadora é $1/8$ da frequência de amostragem f_s (Seção 2.5.1), tem-se 8 amostras de cada período da senóide gerada pelo oscilador. Um possível conjunto de amostras é ilustrado na Figura 3.8 [36]. A sequência temporal destas amostras é apresentada na Tabela 3.2. Em valor absoluto, as 8 amostras resumem-se a apenas 3 valores: zero, 1 e $\sqrt{2}/2$.

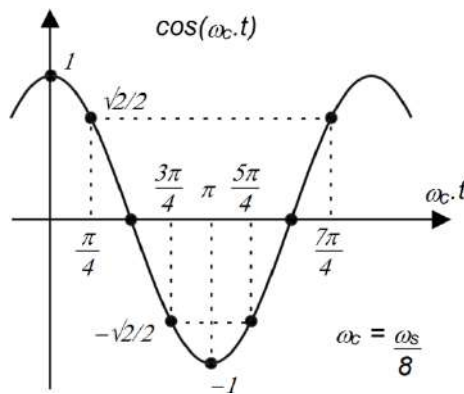


Figura 3.8: Amostras da senóide do oscilador local.

Tabela 3.2: Sequência temporal das amostras da senóide.

$\omega_c \cdot t$	0	$\frac{\pi}{4}$	$\frac{\pi}{2}$	$\frac{3\pi}{4}$	π	$\frac{5\pi}{4}$	$\frac{3\pi}{2}$	$\frac{7\pi}{4}$
$\cos(\omega_c \cdot t)$	1	$\frac{\sqrt{2}}{2}$	0	$-\frac{\sqrt{2}}{2}$	-1	$-\frac{\sqrt{2}}{2}$	0	$\frac{\sqrt{2}}{2}$

Portanto, neste caso é vantajoso substituir o multiplicador de tensão de duas entradas e ganho fixo por um amplificador de tensão com apenas uma entrada, porém de ganho variável conforme a Figura 3.9. Variando o ganho deste amplificador a cada amostra do sinal de entrada conforme a sequência da Tabela 3.2, a realização do oscilador local torna-se desnecessária. Assim, o oscilador é substituído por um contador digital de 3 *bits* e lógica binária implementando uma pequena máquina de estados conforme a Figura 3.10.

A realização do *mixer* por meio de um único amplificador a capacitores chaveados e lógica sequencial resulta em uma significativa simplificação de topologia em relação aos circuitos de tempo contínuo apresentados em [22] e [25] e foi originalmente proposta em [37] adotando arquitetura *single-ended* e componentes discretos.

O amplificador possui dois ganhos distintos – 1,0 e 0,7 – selecionados conforme o acionamento, ou não, das chaves controladas pelas fases Φ_{1E} e Φ_{2E} (Figura 3.9). Embora

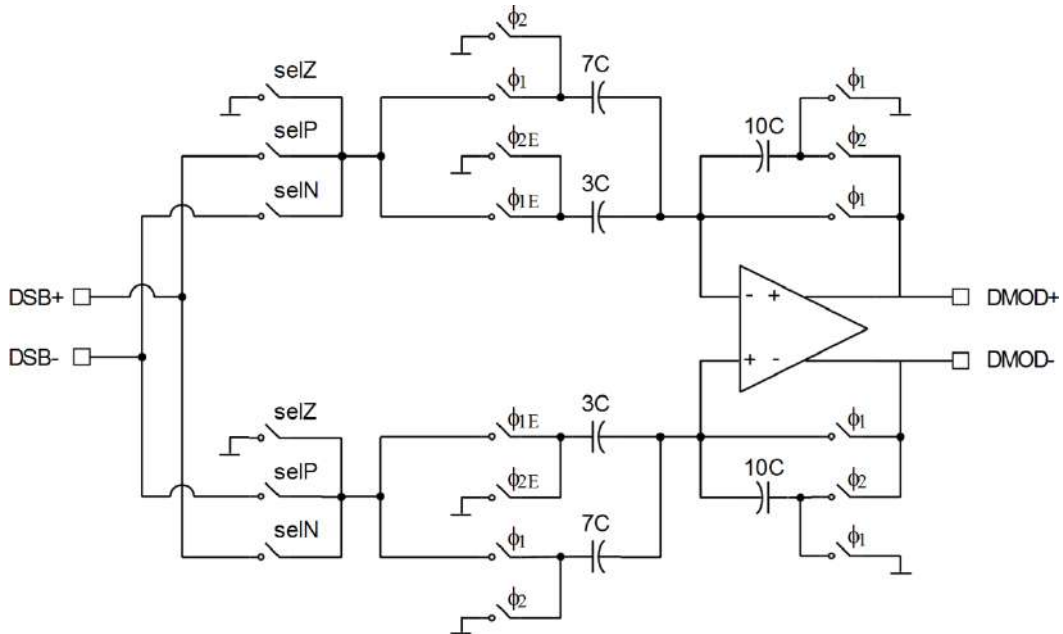


Figura 3.9: Amplificador de demodulação.

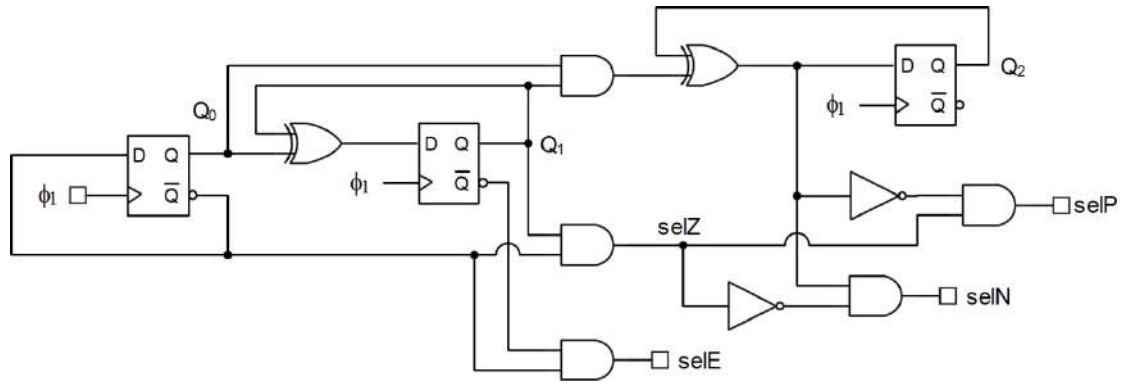


Figura 3.10: Contador digital do amplificador de demodulação.

a razão de capacitâncias não permita implementar exatamente o ganho $\sqrt{2}/2$, sua aproximação pelo valor 0,7 resulta em apenas -1,0% de erro de ganho. Tal erro é da mesma ordem de grandeza do erro introduzido pelo descasamento de capacitores (Seção 3.3) e, portanto, não invalida a arquitetura do amplificador.

Os valores centrais da Tabela 3.2 implicam que, além da variação de ganho, o amplificador deve fornecer ganhos negativos. Em circuitos SC, um ganho negativo pode ser realizado com um ganho positivo e a inversão de sinal da entrada ou da saída. Especificamente para sinais *diferenciais* discretos no tempo, a inversão de sinal corresponde a uma simples troca, por chaves, dos sinais *single-ended* que compõem o sinal diferencial. Portanto, a realização de ganhos negativos no amplificador de demodulação dá-se pela inversão dos sinais de entrada *DSB+* e *DSB-* (Figura 3.9) por meio das chaves controladas pelo sinal de controle *SelN*. No caso de ganhos positivos, apenas as chaves controladas por *SelP* são acionadas. O ganho zero é realizado pelas chaves com sinal de controle *SelZ*, que desconectam a entrada *DSB[n]* do amplificador. A seleção dos ganhos 1,0 e 0,7 dá-se pelo sinal de controle *SelE* segundo a relação:

$$SelE = \begin{cases} 0 \rightarrow \text{Ganho} = 0,7 \rightarrow \begin{cases} \Phi_{1E} = 0 \\ \Phi_{2E} = 0 \end{cases} \\ 1 \rightarrow \text{Ganho} = 1,0 \rightarrow \begin{cases} \Phi_{1E} = \Phi_1 \\ \Phi_{2E} = \Phi_2 \end{cases} \end{cases} \quad (3.5)$$

Os sinais de controle *SelE*, *SelP*, *SelZ* e *SelN* são gerados pela máquina de estados da Figura 3.10 conforme a tabela-verdade da Tabela 3.3.

Como a aproximação de $\sqrt{2}/2$ por 0,7 afeta metade dos ganhos na sequência da Tabela 3.2, seu efeito sobre o período da senóide traduz-se em uma distorção harmônica total, ou *Total Harmonic Distortion* (THD), de -45,9 dBc. Visto que ela é menor que a

Tabela 3.3: Lógica para seleção de entrada e ganho do demodulador.

Q_2	Q_1	Q_0	$selE$	$selP$	$selZ$	$selN$
0	0	0	1	1	0	0
0	0	1	0	1	0	0
0	1	0	0	0	1	0
0	1	1	0	0	0	1
1	0	0	1	0	0	1
1	0	1	0	0	0	1
1	1	0	0	0	1	0
1	1	1	0	1	0	0

taxa de rejeição de imagem desejada para o conversor, o ganho de 0,7 é plenamente aceitável.

3.8.2. FILTRO *ANTI-ALIASING*

A saída $DMOD[n]$ do *mixer* (Figura 3.1) consiste no sinal banda-base que se deseja transmitir, acompanhado por uma imagem de seu espectro deslocada para a frequência $2f_c$. Para eliminar tal imagem e assim evitar *aliasing* no modulador SSB, o sinal $DMOD[n]$ precisa passar por um filtro passa-baixa com frequência de corte f_c . As especificações de projeto deste filtro estão listadas na Tabela 3.4 para o caso em que a frequência f_c da portadora é $1/8$ da frequência de amostragem f_s .

Tabela 3.4: Características do filtro *anti-aliasing* ($f_c = 1/8 f_s$).

Parâmetro	Valor	Descrição
W_p	0,2	fim da banda de passagem (normalizada para frequência π)
W_s	0,3	início da banda de rejeição (normalizada para frequência π)
R_p	0,1	<i>ripple</i> máximo na banda de passagem (dB)
A_s	45,9	atenuação mínima na banda de rejeição (dB)



Com o auxílio do aplicativo *MATLAB*¹ para a síntese de filtros, o *script* listado no Anexo I resultou em um filtro elíptico de 5ª ordem composto por associações série e paralelo de filtros passa-tudo de 1ª e 2ª ordens conforme ilustrado na Figura 3.11. Para o conjunto de parâmetros da Tabela 3.4 e o *script* do Anexo I, valores de atenuação (A_s) maiores que 45,9 dB implicaram em filtros de ordem superior a 5.

Para redução de consumo, área de silício e tempo de resposta, os circuitos a capacitores chaveados da Figura 3.11 foram projetados de forma a minimizar a quantidade de células de atraso (circuitos de *Sample-and-Hold*) necessárias para a estrutura do filtro *anti-aliasing*. Sua resposta em frequência, considerando os coeficientes ideais calculados pelo *MATLAB*, é apresentada na Figura 3.12. O filtro atingiu 45,9 dB de atenuação mínima na banda de rejeição e 0,1 dB de *ripple* máximo na banda de passagem.

O subtrator presente na Figura 3.11 é realizado conforme a Figura 3.13 e opera como um *somador* devido à inversão de sinal da entrada negativa, $V_3 \cdot z^{-1/2}(\Phi_2)$. A realização de um somador por meio de um subtrator é possível quando os sinais são diferenciais e suas entradas são amostradas em fases distintas. Sua utilização é vantajosa pois requer apenas dois capacitores enquanto a arquitetura de um somador propriamente dita necessita de três capacitores [37], [48]. Assim, o erro devido ao descasamento de capacitores afeta ambas as entradas igualmente, traduzindo-se tão somente em um erro

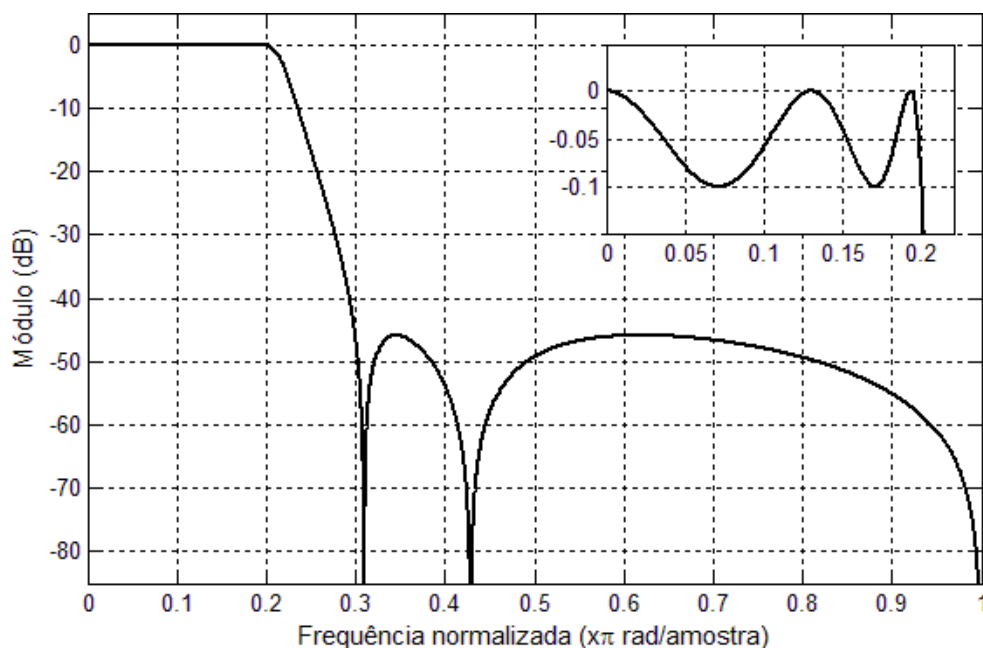


Figura 3.12: Resposta em frequência do filtro *anti-aliasing* ideal.

¹ © The MathWorks, Inc.

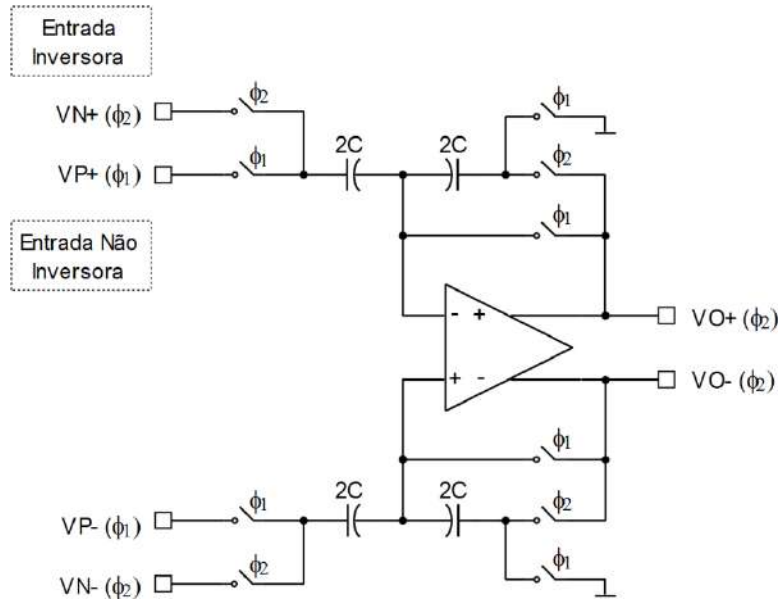


Figura 3.13: Subtrator.

de ganho na saída. No caso do somador, o descasamento entre três capacitores resulta em erros de ganho independentes para cada entrada, desbalanceando a operação de soma.

A arquitetura a capacitores chaveados do filtro passa-tudo de 1ª ordem apresentado na Figura 3.11 é detalhada na Figura 3.14 e deriva da arquitetura *single-ended* proposta em [36]. Sua função de transferência é:

$$H_{FO}(z) = \frac{VO(\phi_2)}{VI(\phi_2)} = \frac{z^{-1} - k}{1 - k \cdot z^{-1}} \quad (3.6)$$

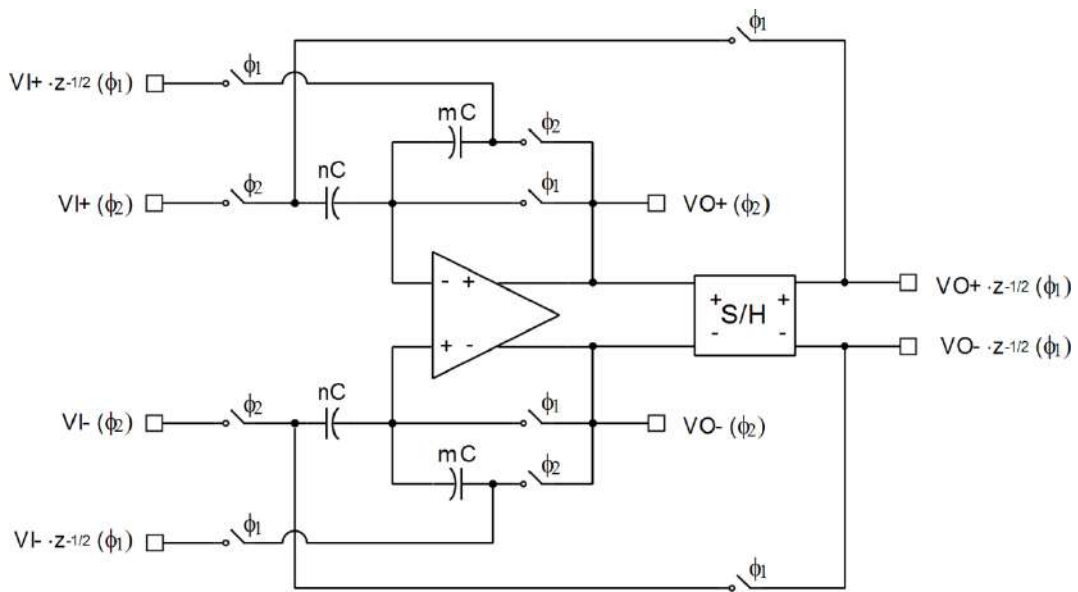


Figura 3.14: Filtro estruturalmente passa-tudo de 1ª ordem.

onde m e n representam múltiplos inteiros do capacitor unitário e:

$$k = \frac{n}{m} \quad (3.7)$$

Esta arquitetura é conhecida como *estruturalmente* passa-tudo pois os coeficientes k , tanto no numerador quanto no denominador (Eq. (3.6)), são implementados pela mesma razão de capacitâncias (Eq. (3.7)). Assim, sua função de transferência mantém-se perfeitamente passa-tudo mesmo diante de descasamento entre os capacitores. A adoção em [22] de filtros que não são estruturalmente passa-tudo para o transformador de Hilbert foi uma das razões pelas quais sua taxa de rejeição de imagem experimental ficou bem inferior à esperada.

De forma análoga, os filtros de 2ª ordem na Figura 3.11 são implementados por filtros estruturalmente passa-tudo a capacitores chaveados conforme a Figura 3.15 [49]. Sua função de transferência é:

$$H_{SO}(z) = \frac{VO(\Phi_1)}{VI(\Phi_1)} = \frac{z^{-2} - k_1 \cdot z^{-1} + k_2}{1 - k_1 \cdot z^{-1} + k_2 \cdot z^{-2}} \quad (3.8)$$

onde p , q e r representam múltiplos inteiros do capacitor unitário e:

$$k_1 = 2 - \frac{p}{r} \quad (3.9)$$

$$k_2 = 1 - \frac{q}{r} \quad (3.10)$$

O subtrator da Figura 3.15 é o mesmo da Figura 2.13 e também opera como somador. Já a arquitetura a capacitores chaveados do integrador não-inversor é ilustrada na Figura 3.16 e segue o circuito proposto em [50], acrescido do reposicionamento de algumas chaves a fim de reduzir a quantidade de nós comuns entre capacitores. Sua função de transferência é dada por:

$$H_{INT}(z) = \frac{VO(\Phi_2)}{VI(\Phi_1)} = \frac{1}{1 - z^{-1}} \quad (3.11)$$

Sua precisão é crítica pois a integração de erros no seu sinal de saída, resultantes da tensão de *offset* e ganho finito do amplificador operacional, podem causar seu desvio gradativo ao longo do tempo. Consequentemente, o integrador utiliza a técnica de *Correlated Double Sampling* (CDS) [51].

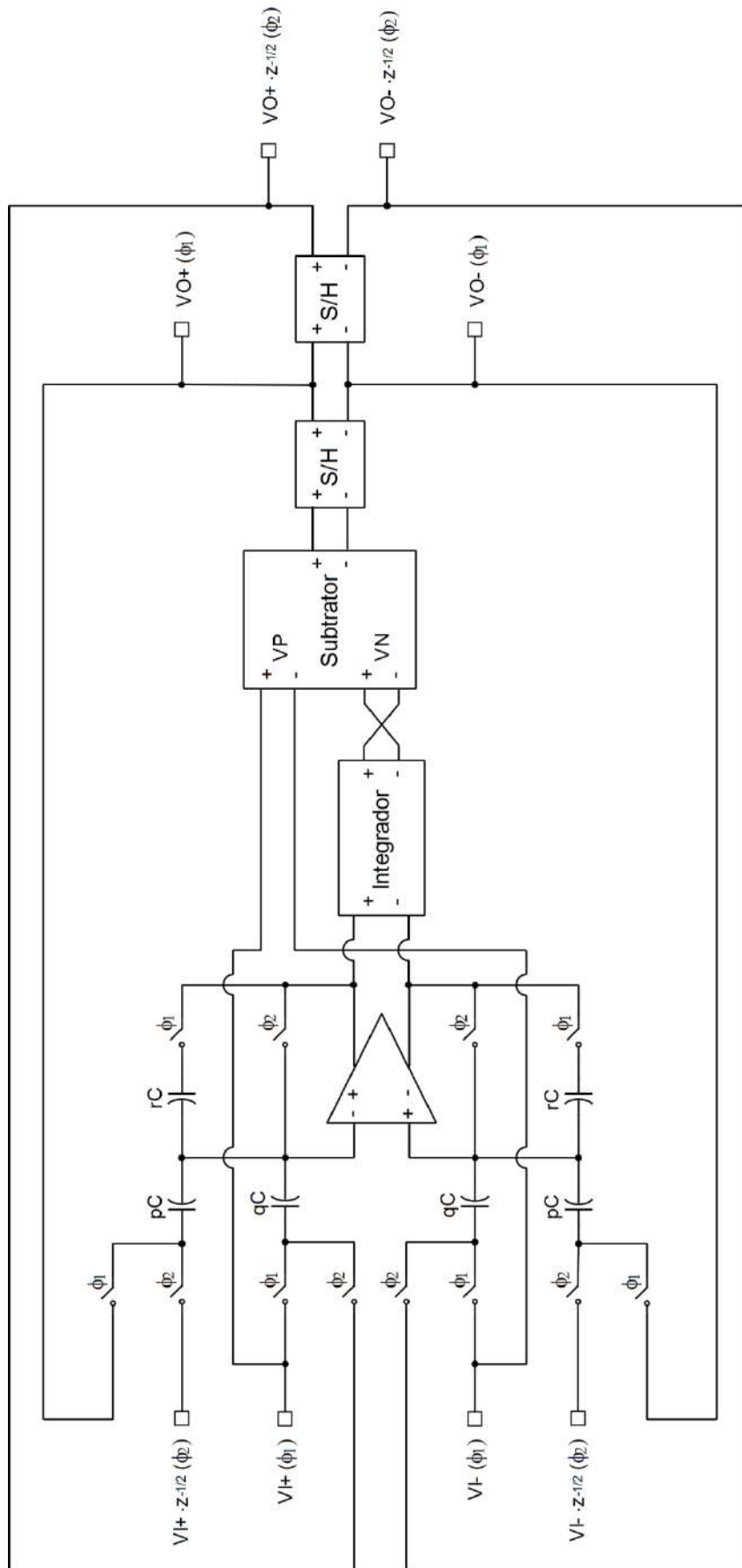


Figura 3.15: Filtro estruturalmente passa-tudo de 2ª ordem.

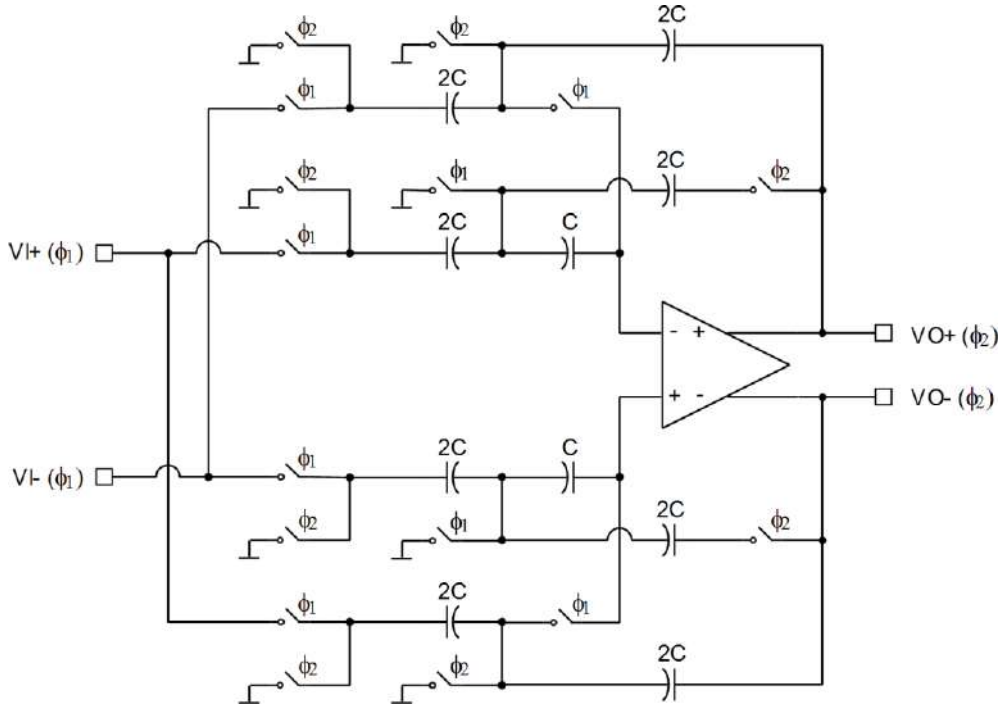


Figura 3.16: Integrador não-inversor.

Além disso, a arquitetura de CDS *preditivo* permite que o integrador opere com banda de entrada até a taxa de Nyquist ($1/2$ da frequência de chaveamento), ao contrário de arquiteturas CDS convencionais [52], que limitam a banda de entrada a $1/4$ da frequência de chaveamento [53]. A arquitetura da Figura 3.16 também é vantajosa pois não requer a amostragem do sinal de entrada em ambas as fases, como outras arquiteturas de CDS *preditivo* [54], [55].

Os coeficientes do filtro calculados pelo *MATLAB* são apresentados na 2ª coluna da Tabela 3.5. O coeficiente γ do filtro passa-tudo de 1ª ordem superior corresponde à razão n/m da Eq. (3.7). Os coeficientes α_1 e β_1 dos filtros passa-tudo de 2ª ordem superior e inferior, respectivamente, correspondem à razão p/r da Eq. (3.9). Analogamente, os coeficientes α_2 e β_2 dos filtros passa-tudo de 2ª ordem correspondem à razão q/r da Eq. (3.10).

Devido ao erro de aproximação destes coeficientes por razões de números inteiros, inerente a circuitos SC baseados em múltiplos do capacitor unitário, utilizou-se o algoritmo de otimização de razões de capacitância proposto no Capítulo 4. Tal algoritmo enumera diversos conjuntos de razões que atendem a uma série de critérios de desempenho do filtro. A partir de então, uma análise baseada em critérios mais qualitativos, também descrita no Capítulo 4, determinou o conjunto ótimo de razões para a implementação do filtro. As razões de capacitores de tal conjunto estão

Tabela 3.5: Coeficientes do filtro *anti-aliasing*.

Coeficiente	Valor Ideal	Razão Ótima	Diferença (%)	Descrição
γ	0,6571	16/25	-2,60	Filtro passa-tudo de 1ª ordem da seção superior
α_1	0,5355	21/38	+3,20	Filtro passa-tudo de 2ª ordem da seção superior
α_2	0,1290	5/38	+2,00	
β_1	0,6408	8/12	+4,04	Filtro passa-tudo de 2ª ordem da seção inferior
β_2	0,4034	5/12	+3,29	

enumeradas na 3ª coluna da Tabela 3.5. A diferença percentual entre o valor ideal de cada coeficiente e seu valor otimizado é apresentada na 4ª coluna.

A resposta em frequência do filtro a capacitores chaveados (AA SC) é apresentada na Figura 3.17, juntamente com a resposta em frequência do filtro com coeficientes ideais para seus filtros passa-tudo (AA Ideal). Após a otimização, o filtro *anti-aliasing*

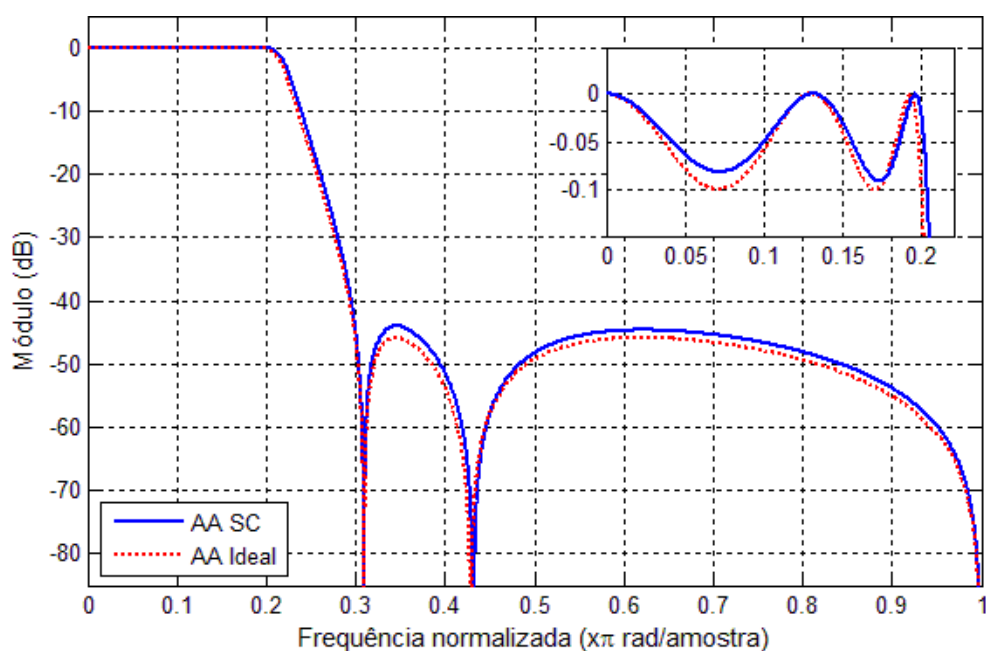


Figura 3.17: Resposta em frequência do filtro *anti-aliasing* otimizado.

atingiu atenuação mínima de 44,0 dB na banda de rejeição e *ripple* máximo de 0,091 dB na banda de passagem. A atenuação mínima ficou apenas 1,9 dB menor que a obtida com os coeficientes ideais para o filtro.

Descasamento de capacitores: Devido às incertezas do processo de fabricação, o descasamento entre capacitores resulta em pequenos desvios nas razões da Tabela 3.5, afetando a resposta em frequência do filtro *anti-aliasing*. Para quantificar o efeito deste descasamento, a resposta em frequência foi avaliada por meio de um programa em linguagem C++ baseado no algoritmo de otimização descrito no Capítulo 4. O programa introduz um desvio em cada razão de capacitores e calcula a resposta em frequência do filtro. O procedimento é repetido para as demais razões até que todas as combinações possíveis entre as razões sejam calculadas. Conforme descrito na Seção 3.3, o descasamento máximo estimado para cada razão é igual a $\pm 0,133\%$. Assim, o programa de verificação adota um conjunto de 3 valores para cada razão R :

$$\{0.99867 \cdot R \quad R \quad 1.00133 \cdot R\} \quad (3.12)$$

Sendo o filtro *anti-aliasing* definido por 5 razões, o programa verifica 3^5 possibilidades para sua resposta em frequência, listando o *ripple* máximo na banda de passagem e a atenuação mínima na banda de rejeição de cada possibilidade, bem como suas razões correspondentes. Analisando o resultado do programa de verificação, conclui-se que o *ripple* mantém-se na faixa de 0,084 dB a 0,105 dB e a atenuação na faixa de 40,9 dB a 44,4 dB. A resposta em frequência do filtro *anti-aliasing* para o caso de menor atenuação na faixa de rejeição (40,9 dB) é apresentada na Figura 3.18 e comparada com o caso sem qualquer descasamento (44,0 dB). A atenuação de 40,9 dB ocorre na fronteira entre a faixa de transição e a faixa de rejeição, ou seja, $0,3\pi$.

Conclui-se que a escolha do tamanho do capacitor unitário foi adequada a ponto do descasamento entre capacitores não afetar significativamente o desempenho do demodulador DSB.

3.9. MODULADOR SSB

A saída $BB[n]$ do filtro *anti-aliasing* contém o sinal banda-base que pode ser modulado em *Single Sideband* conforme a Figura 2.14. O modulador SSB é composto pelo transformador de Hilbert e pelo modulador em quadratura.

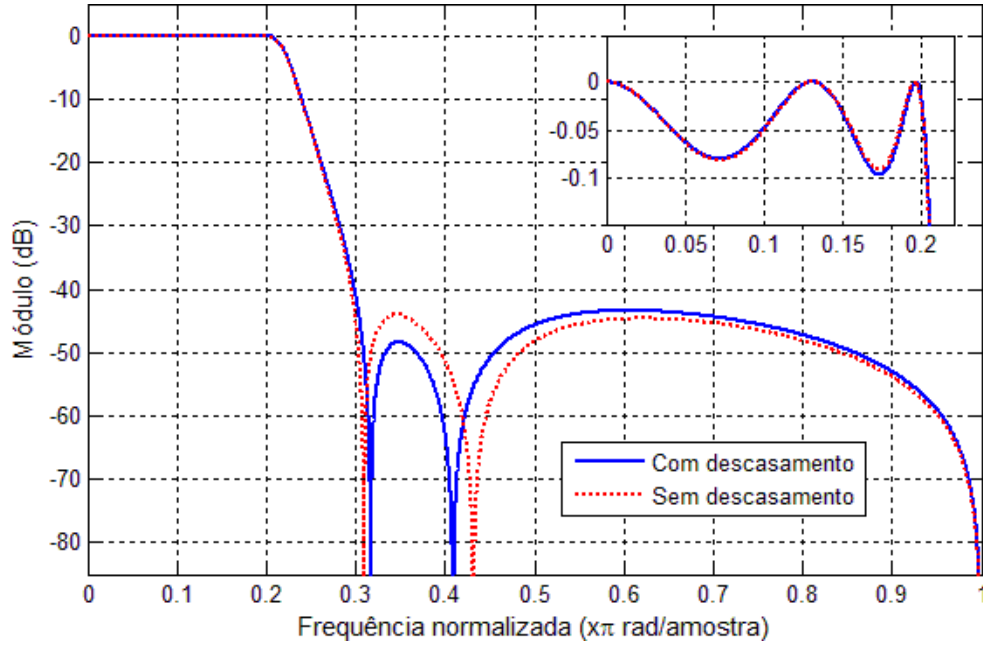


Figura 3.18: Resposta em frequência do filtro *anti-aliasing* com menor atenuação devido ao descasamento.

3.9.1. TRANSFORMADOR DE HILBERT

O transformador de Hilbert é realizado por um filtro *complexo* de meia banda, obtido a partir de um filtro *real* de meia banda estruturado por filtros passa-tudo conforme Eq. (2.19). As especificações de projeto do filtro real de meia banda estão listadas na Tabela 3.6. Com o auxílio do *MATLAB*, o *script* listado no Anexo II resultou em um filtro de 7ª ordem constituído por associações série e paralelo de filtros passa-tudo, semelhante à estrutura da Figura 2.8. Com base nos parâmetros da Tabela 3.6 e no *script* do Anexo II, valores de atenuação (A_s) maiores que 40,0 dB implicaram em filtros de ordem superior a 7. A resposta em frequência deste filtro é apresentada na Figura 3.19. A atenuação mínima na banda de rejeição alcançou 40,3 dB enquanto o *ripple* na banda de passagem ficou abaixo de 0,0005 dB.

Os filtros passa-tudo do tipo $A(z^2)$ (Figura 2.8) são de 2ª ordem, com função de transferência dada por:

$$A(z^2) = \frac{z^{-2} + k}{1 + k \cdot z^{-2}} \quad (3.13)$$

Conforme descrito na Seção 2.4, a obtenção do filtro *complexo* de meia banda implica que os filtros passa-tudo passem a ser do tipo $A(-z^2)$:

Tabela 3.6: Características do filtro real de meia banda.

Parâmetro	Valor	Descrição
W_p	0,45	fim da banda de passagem (normalizada para frequência π)
W_s	0,55	início da banda de rejeição (normalizada para frequência π)
R_p	0,1	<i>ripple</i> máximo na banda de passagem (dB)
A_s	40,0	atenuação mínima na banda de rejeição (dB)

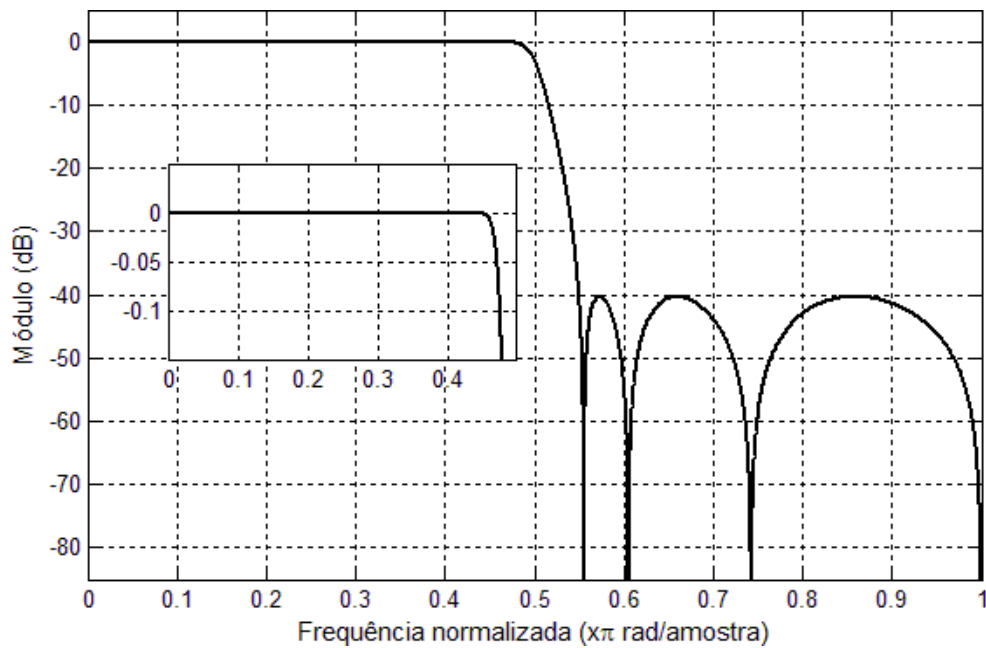


Figura 3.19: Resposta em frequência do filtro real de meia banda ideal.

$$A(-z^2) = -\frac{z^{-2} - k}{1 - k \cdot z^{-2}} \quad (3.14)$$

Além disso, com o *downsampling* do modulador SSB (Seção 2.5.1), tais filtros reduzem-se a filtros de 1ª ordem do tipo $A(-z)$:

$$A(-z) = -\frac{z^{-1} - k}{1 - k \cdot z^{-1}} \quad (3.15)$$

A Eq. (3.15) mostra que cada filtro passa-tudo do filtro complexo de meia banda pode ser implementado pela mesma estrutura adotada no filtro *anti-aliasing* (Figura 3.14), acrescida de uma inversão de sinal na saída do filtro.

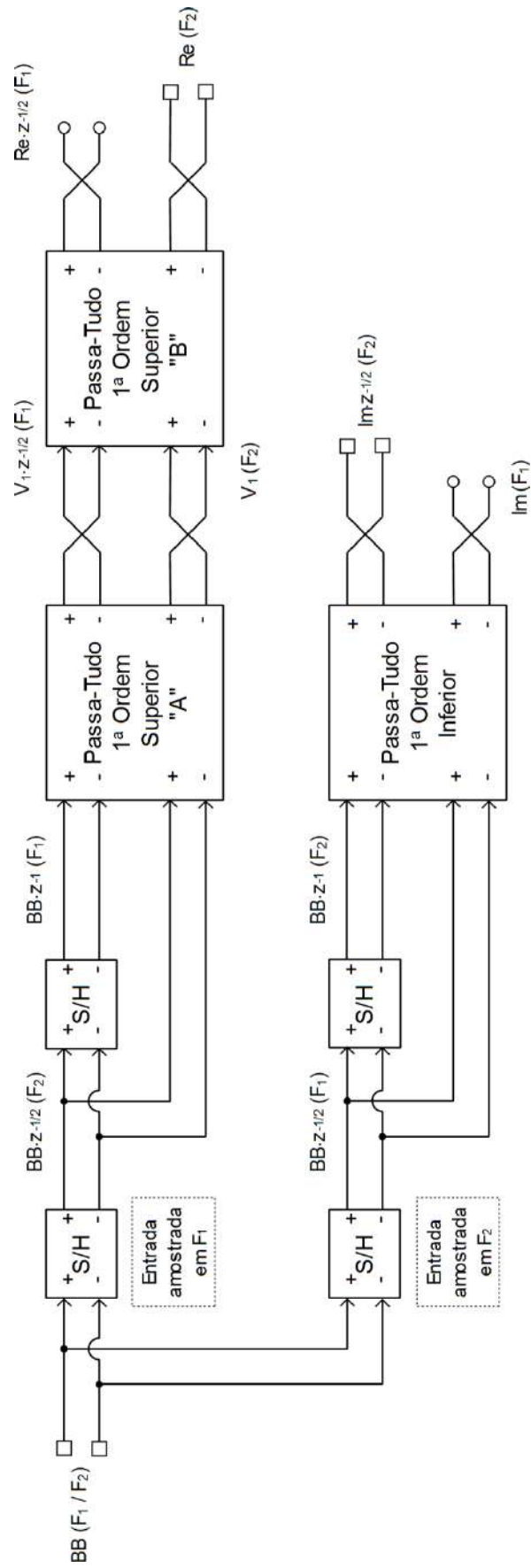


Figura 3.20: Filtro complexo de meia banda.

Desta forma, o coeficiente k , tanto no numerador quanto no denominador da Eq. (3.15), é definido pela Eq. (3.7) e o circuito a capacitores chaveados que implementa o filtro complexo de meia banda da Figura 3.1 é ilustrado na Figura 3.20. A inversão de sinal na saída de cada filtro passa-tudo é realizada pela troca dos sinais *single-ended* que compõem cada sinal diferencial. Tal qual o filtro *anti-aliasing*, a estrutura da Figura 3.20 foi projetada de modo que o transformador de Hilbert utilizasse a quantidade mínima de células de atraso.

Em razão do *downsampling*, o modulador SSB opera com metade da frequência do demodulador. Portanto, as fases F_1 e F_2 têm o dobro de duração das fases Φ_1 e Φ_2 . Como a entrada $BB[n]$ do modulador é válida na fase Φ_2 , a transição negativa das fases F_1 e F_2 é sincronizada com a transição negativa de Φ_2 .

Com a redução da ordem dos filtros passa-tudo, sua arquitetura SC é mais simples que o circuito polifásico proposto em [25]. Ainda assim, a defasagem do transformador de Hilbert é superior àquela obtida em [25]. Além disso, a redução da frequência alivia as especificações de consumo e *slew rate* de todos os amplificadores operacionais do modulador SSB. Os coeficientes ideais do filtro de meia banda, calculados pelo *MATLAB*, são apresentados na 2ª coluna da Tabela 3.7 e correspondem ao coeficiente k de cada filtro passa-tudo do tipo $A(z^2)$ (Eq. (3.13)). De forma análoga ao projeto do filtro *anti-aliasing*, o algoritmo de otimização de razões de capacitores foi aplicado aos coeficientes do filtro de meia banda conforme descrito na Seção 4.2.

Por meio deste algoritmo chegou-se ao conjunto de razões ótimas para sua implementação (3ª coluna da Tabela 3.7). A diferença percentual entre o valor ideal de cada coeficiente e seu valor otimizado é apresentada na 4ª coluna.

Tabela 3.7: Coeficientes do filtro real de meia banda.

Coeficiente	Valor Ideal	Razão Ótima	Diferença (%)	Descrição
h_1	0,1899	3/16	-1,26	Filtro passa-tudo de 1ª ordem A da seção superior
h_2	0,8600	6/7	-0,33	Filtro passa-tudo de 1ª ordem B da seção superior
h_3	0,5517	6/11	-1,13	Filtro passa-tudo de 1ª ordem da seção inferior

A resposta em frequência do filtro a capacitores chaveados (*HT SC*) é apresentada na Figura 3.21, juntamente com a resposta em frequência do filtro com coeficientes ideais (*HT Ideal*). Após a otimização, o filtro de meia banda atingiu atenuação mínima de 38,7 dB na banda de rejeição e *ripple* inferior a 0,0006 dB na banda de passagem. A atenuação mínima ficou apenas 1,6 dB menor que aquela obtida com o filtro ideal.

Adotando os coeficientes da Tabela 3.7 no filtro complexo de meia banda da Figura 3.20, a defasagem resultante entre os sinais de saída $Re(F_2)$ e $Im \cdot z^{-1/2}(F_2)$ é apresentada na Figura 3.22. Para coeficientes ideais (*HT Ideal*), a variação na fase em torno de 90° é igual a $\pm 1,10^\circ$ considerando 90% da faixa de frequência ($0,05\pi$ a $0,95\pi$). No caso dos coeficientes otimizados (*HT SC*), a variação é de apenas $\pm 1,33^\circ$, reduzindo-se a $\pm 1,12^\circ$ para 80% da faixa de frequência ($0,10\pi$ a $0,90\pi$).

Descasamento de capacitores: Analogamente ao filtro *anti-aliasing* (final da Seção 3.8.2), o efeito do descasamento de capacitores sobre a resposta em frequência do filtro real de meia banda foi avaliado. O conjunto de valores para cada razão R é o mesmo da Eq. (3.12). Sendo o filtro de meia banda definido por 3 razões, o programa de verificação calcula 3^3 possibilidades para sua resposta em frequência. A listagem final do programa demonstra que o *ripple* limita-se à faixa de 0,0005 dB a 0,0011 dB e a atenuação à faixa de 35,9 dB a 39,0 dB. A resposta em frequência do filtro real de meia banda com menor atenuação na faixa de rejeição (35,9 dB) é apresentada na Figura

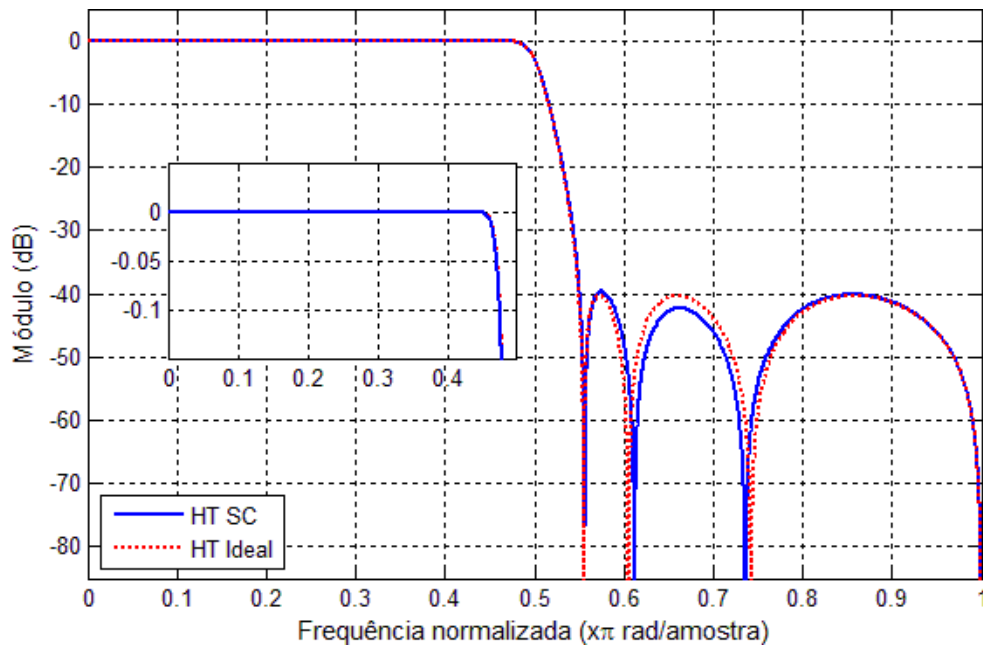


Figura 3.21: Resposta em frequência do filtro real de meia banda otimizado.

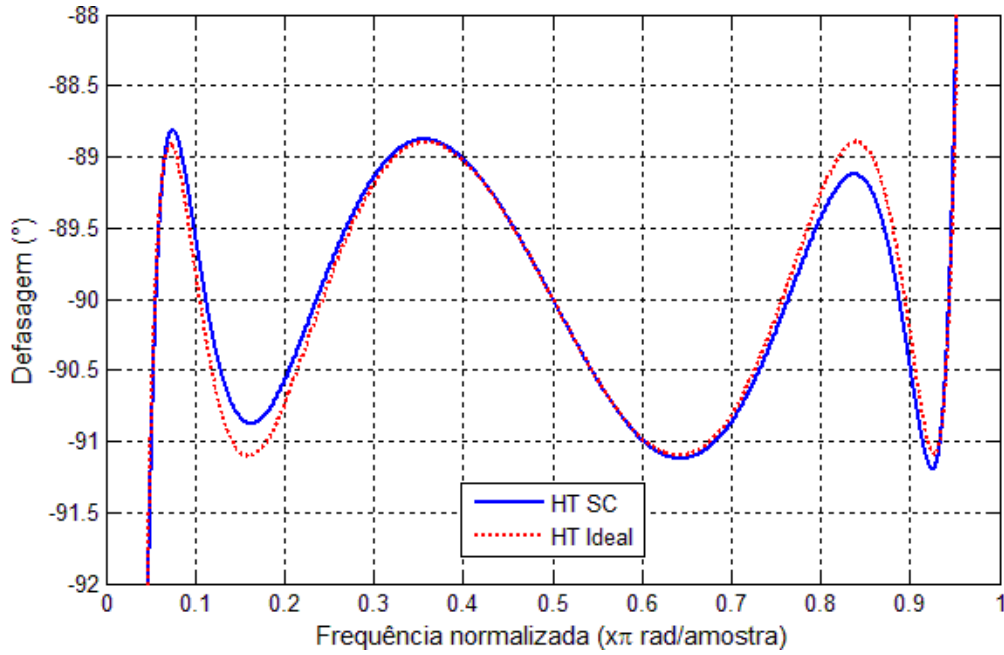


Figura 3.22: Defasagem do transformador de Hilbert.

3.23, juntamente com o caso sem descasamento (38,7 dB). A atenuação de 35,9 dB ocorre na fronteira entre a faixa de transição e a faixa de rejeição: $0,55\pi$. Conclui-se que o tamanho do capacitor unitário é tal que seu descasamento não afeta significativamente o desempenho do modulador SSB.

3.9.2. MODULADOR EM QUADRATURA

A saída do filtro passa-tudo inferior, $Im[2n]$ na Figura 3.20, corresponde à transformada de Hilbert da saída do filtro passa-tudo superior “B”, $Re[2n]$. Para a obtenção do sinal *Single Sideband* $SSB[2n]$, utiliza-se o modulador em quadratura da Figura 3.1. Assim como o *mixer* do demodulador (Seção 3.8.1), o modulador em quadratura requer multiplicadores de quatro quadrantes e osciladores locais sintonizados na frequência f_c , estes defasados de 90° entre si (oscilador em quadratura). Também neste caso, os multiplicadores podem ser substituídos por amplificadores com ganho variável e o oscilador em quadratura por um contador digital para o controle de ganho destes amplificadores.

Dado que o modulador SSB opera com metade da frequência do demodulador, $f_s/2$, são necessárias apenas 4 amostras por senoide de cada oscilador:

$$f_s = \boxed{8} \cdot f_c \rightarrow \frac{f_s}{2} = \boxed{4} \cdot f_c \quad (3.16)$$

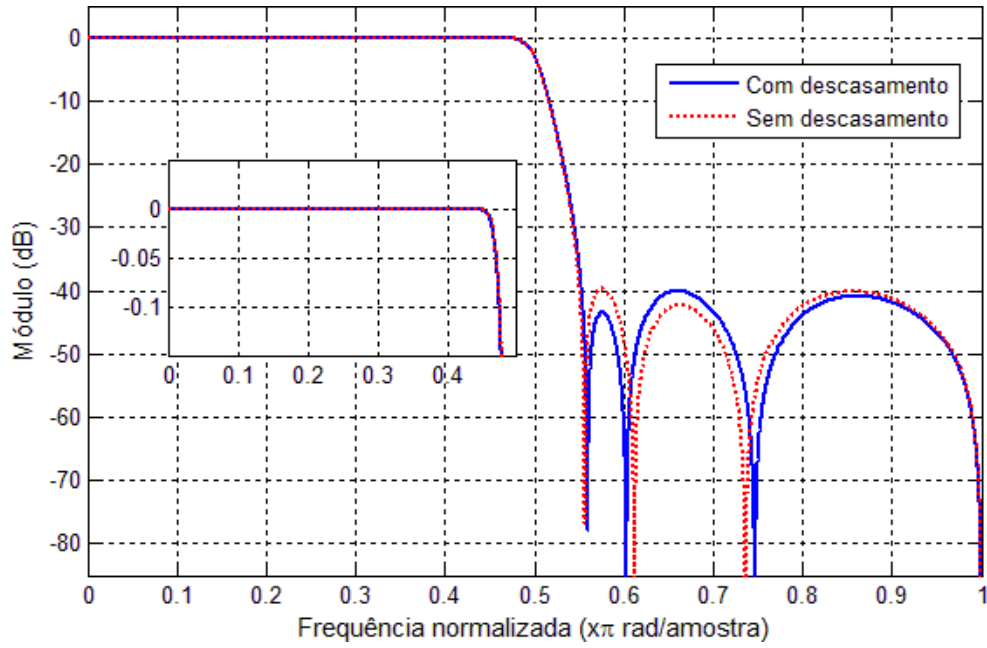


Figura 3.23: Resposta em frequência do filtro real de meia banda com menor atenuação devido ao descasamento.

Possíveis sequências de amostras da senóide e da cossenóide são apresentadas na Figura 3.24 [36]. As sequências temporais destas amostras são apresentadas na Tabela 3.8.

A soma das saídas em fase e em quadratura do modulador – $I[2n]$ e $Q[2n]$ na Figura 3.1, respectivamente – resultam no sinal $SSB[2n]$. Pela Tabela 3.8, nota-se que uma das amostras é sempre *zero* a cada ciclo de *clock*. Portanto, a operação de soma reduz-se à sequência da Tabela 3.9.

A arquitetura do modulador em quadratura baseia-se em circuito *single-ended* originalmente proposto em [37] com componentes discretos. Contudo, para sinais diferenciais, o modulador é perfeitamente realizável por um circuito de *Sample-and-*

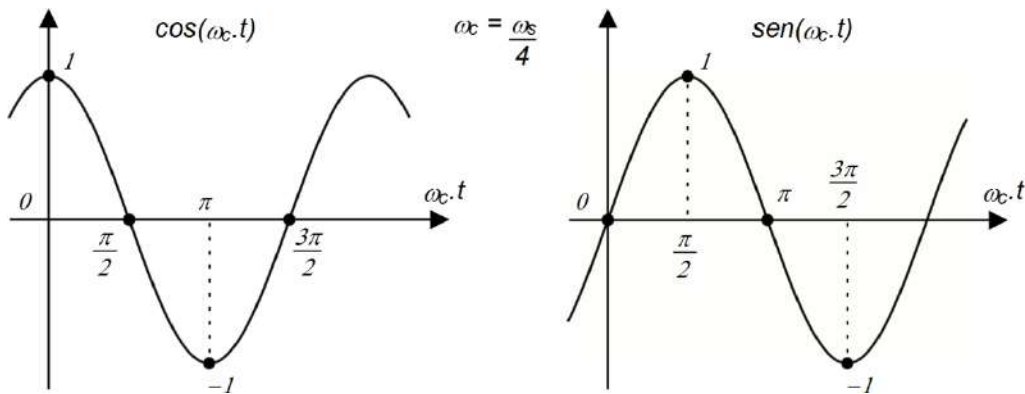


Figura 3.24: Amostras do oscilador em quadratura.

Tabela 3.8: Sequência temporal das amostras do oscilador em quadratura.

$\omega_c \cdot t$	0	$\frac{\pi}{2}$	π	$\frac{3\pi}{2}$
$\cos(\omega_c \cdot t)$	1	0	-1	0
$\sin(\omega_c \cdot t)$	0	1	0	-1

Tabela 3.9: Sequência temporal do sinal $SSB[2n]$.

$SSB[2n]$	$SSB[2(n+1)]$	$SSB[2(n+2)]$	$SSB[2(n+3)]$
$Re[2n]$	$Im[2(n+1)]$	$-Re[2(n+2)]$	$-Im[2(n+3)]$

Hold com alternância da entrada a cada amostra, com ou sem inversão de sinal, conforme apresentado na Figura 3.25. A seleção da entrada entre $Re[2n]$ e $Im[2n]$ dá-se pelo sinal de controle $SelY$ enquanto a inversão do sinal selecionado é definida por $SelN$.

A função do circuito de *Sample-and-Hold* é acionar cargas capacitivas na saída do conversor. Contudo, o S/H não é necessário se a mesma capacidade de *drive* for provida pelas saídas $Re[2n]$ e $Im[2n]$ do transformador de Hilbert (Figura 3.20), ressaltando que as chaves analógicas do modulador em quadratura (Figura 3.25) aumentam a resistência do caminho do sinal.

A saída do conversor DSB-SSB consiste na saída do circuito de *Sample-and-Hold* da Figura 3.25: o sinal com modulação *Single Sideband*, amostrado com metade da frequência de chaveamento. Por se tratar de um sinal discreto no tempo, cópias do seu espectro localizadas acima da frequência de amostragem devem ser eliminadas por um filtro passa-baixa contínuo no tempo. Um filtro passivo do tipo RC é suficiente para atingir a atenuação mínima necessária. Exceto por esta exigência, o sinal SSB fornecido pelo conversor DSB-SSB está apto para transmissão.

Uma vez que o tipo de modulação SSB – *Lower Sideband* ou *Upper Sideband* – depende apenas de uma inversão de sinal no somador de saída (Figura 2.6), o conversor DSB-SSB foi implementado de forma a prover os dois tipos. A seleção de tipo é realizada por um sinal digital de configuração, interno ao *chip*, conforme descrito na

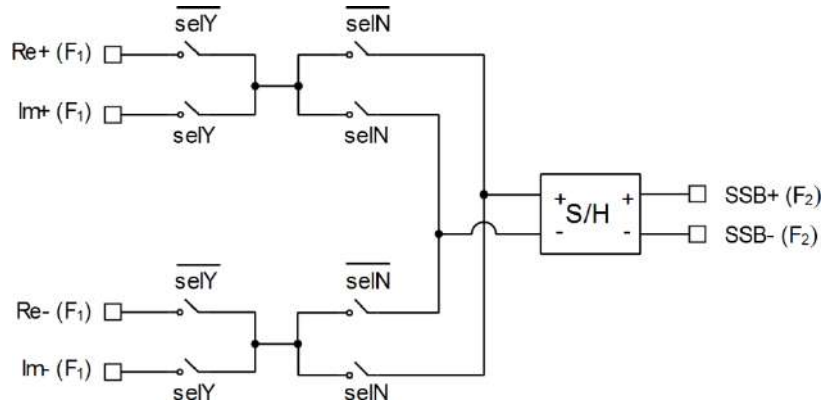


Figura 3.25: Implementação do modulador em quadratura e do somador.

Seção 5.1. Para modulação LSB, tal *bit* de configuração define que o sinal de controle $SelN$ no modulador em quadratura é dado por:

$$SelN = SelN_L \quad (3.17)$$

enquanto, para modulação USB, tem-se:

$$SelN = SelN_U \quad (3.18)$$

Os sinais $SelY$, $SelN_L$ e $SelN_U$ são definidos por uma máquina de estados cuja tabela-verdade é apresentada na Tabela 3.10, resultando no contador digital de 2 *bits* da Figura 3.26.

Tabela 3.10: Lógica para seleção de entrada e sinal do modulador em quadratura.

Q_1	Q_0	$selY$	$selN_L$	$selN_U$
0	0	0	0	0
0	1	1	0	1
1	0	0	1	1
1	1	1	1	0

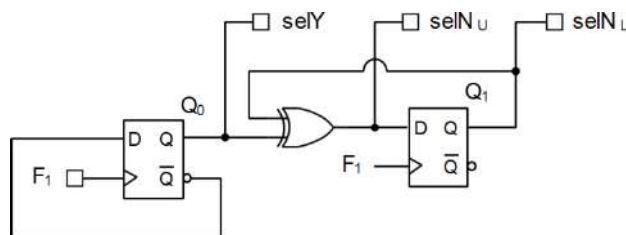


Figura 3.26: Contador digital do modulador em quadratura.

CAPÍTULO 4

OTIMIZAÇÃO DE RAZÃO DE CAPACITÂNCIAS

Em circuitos a capacitores chaveados, cada coeficiente de um filtro, o ganho de um amplificador ou integrador, cada peso de um somador, etc, são realizados por uma razão de capacitores. Especificamente em circuitos integrados, devido às incertezas do processo de fabricação, o valor de capacitância dos capacitores não é precisamente determinado. Na tecnologia adotada neste projeto, por exemplo, a capacitância de cada capacitor metal-metal pode variar até $\pm 10\%$ em relação ao seu valor nominal [56]. Contudo, o posicionamento adequado de capacitores idênticos em um mesmo circuito permite que o descasamento entre eles seja menor que 1% [40], sendo menor quanto maior a área dos capacitores.

Portanto, em circuitos integrados, adota-se a metodologia de projeto baseada no *capacitor unitário*: um capacitor cuja área é fixa e determinada pelo descasamento máximo capaz de atender as especificações de projeto. Assim, cada razão de capacitores é constituída por dois capacitores, que por sua vez compõem-se de uma associação em paralelo de capacitores unitários.

Esta metodologia possibilita atingir uma grande precisão nas diversas razões de capacitores, ainda que a capacitância do capacitor unitário seja imprecisa. Além disso, ela assegura a repetibilidade do projeto, ou seja, a fabricação em larga escala do circuito não afeta significativamente a precisão das razões. Por outro lado, esta metodologia restringe a razão de capacitores a uma razão de número inteiros, resultando em um erro de arredondamento para cada razão. Este erro será menor quanto maior a quantidade de capacitores unitários utilizada em cada razão. Porém, a área de silício ocupada por circuitos SC é diretamente proporcional à sua quantidade de capacitores. Logo, em realizações práticas, recomenda-se um estudo criterioso da relação de compromisso

entre o erro introduzido pelo arredondamento de cada razão e sua área de silício correspondente.

No caso de filtros realizados por associações *em paralelo* de filtros passa-tudo como na Figura 2.8, esta análise é fundamental pois o erro de arredondamento de uma única razão de capacitores, embora resulte no desvio de um *único* polo do filtro, acarreta o deslocamento de *todos* os seus zeros.

O algoritmo descrito neste capítulo foi desenvolvido em linguagem C++ especificamente para o projeto dos filtros *anti-aliasing* e de meia banda do conversor DSB-SSB. Seu objetivo é otimizar a relação de compromisso entre a quantidade total de capacitores de cada filtro e o desvio em sua resposta em frequência, introduzido pelo erro de arredondamento *acumulado* de todas suas razões de capacitores. Para o cálculo da resposta em frequência de cada filtro, o algoritmo precisa ser ajustado à sua função de transferência, à quantidade de coeficientes, bem como à relação entre eles.

4.1. FILTRO *ANTI-ALIASING*

O filtro *anti-aliasing* da Figura 3.11 é constituído por um filtro passa-tudo de 3ª ordem (filtro “superior”) associado em paralelo com um filtro passa-tudo de 2ª ordem (filtro “inferior”). O filtro de 3ª ordem, por sua vez, consiste em uma associação em série de um filtro passa-tudo de 1ª ordem e um filtro passa-tudo de 2ª ordem. Os coeficientes do filtro superior são γ , α_1 e α_2 , sendo que α_1 e α_2 possuem o mesmo denominador. Os coeficientes do filtro inferior são β_1 e β_2 e também possuem um denominador comum.

Os parâmetros de entrada do algoritmo de otimização para o filtro *anti-aliasing* estão listados na Tabela 4.1. O principal parâmetro de entrada do algoritmo é o valor máximo de capacitores unitários para o denominador de cada razão, *max_den*, pois ele que determina a precisão máxima das razões. A partir de *max_den*, o algoritmo calcula todas as razões de capacitância *r* possíveis para a representação de um número real qualquer, maior que 0 e menor que 1:

$$r = \frac{n}{d} \therefore \begin{cases} 1 \leq n \leq d - 1 \\ 2 \leq d \leq \text{max_den} \end{cases} \quad (4.1)$$

O algoritmo ordena todas as possibilidades em uma sequência numérica, eliminando razões que sejam múltiplas de outras. Para *max_den* = 50, por exemplo, uma sequência de 773 razões possíveis é calculada:

Tabela 4.1: Parâmetros de entrada do algoritmo para o filtro *anti-aliasing*.

Parâmetro	Valor	Descrição
<i>bode_points</i>	4096	número de pontos para cálculo da resposta em frequência do filtro (normalizada para a faixa de frequência 0 a π)
<i>Wp</i>	0.2	fim da banda de passagem (normalizada para frequência π)
<i>Ws</i>	0.3	início da banda de rejeição (normalizada para frequência π)
<i>Rp</i>	0.1	<i>ripple</i> máximo na banda de passagem (dB)
<i>As</i>	40	atenuação mínima na banda de rejeição (dB)
<i>max_den</i>	50	número máximo de capacitores unitários para o denominador de cada razão
<i>delta</i>	20	quantidade de razões menores (e maiores) que a razão mais próxima de cada coeficiente
<i>max_caps</i>	200	número máximo de capacitores unitários para o filtro, considerando numerador e denominador de todas as razões
<i>gamma</i>	0.6571	coeficiente ideal do filtro passa-tudo de 1ª ordem da seção superior (γ)
<i>alpha1</i>	0.5355	coeficiente ideal do filtro passa-tudo de 2ª ordem da seção superior (α_1)
<i>alpha2</i>	0.1290	coeficiente ideal do filtro passa-tudo de 2ª ordem da seção superior (α_2)
<i>beta1</i>	0.6408	coeficiente ideal do filtro passa-tudo de 2ª ordem da seção inferior (β_1)
<i>beta2</i>	0.4034	coeficiente ideal do filtro passa-tudo de 2ª ordem da seção inferior (β_2)

$$\frac{1}{50}, \frac{1}{49}, \frac{1}{48}, \dots, \frac{23}{47}, \frac{24}{49}, \frac{1}{2}, \frac{25}{49}, \frac{24}{47}, \dots, \frac{47}{48}, \frac{48}{49}, \frac{49}{50} \quad (4.2)$$

Nota-se que a sequência não inclui a razão 24/48 por esta ser múltipla de 1/2.

Tomando esta sequência como o conjunto universo de razões, o algoritmo aproxima cada coeficiente ideal do filtro à razão mais próxima. Pelo deslocamento de todos os zeros da estrutura, sabe-se que esta combinação pode não resultar na melhor resposta em frequência para o filtro. Portanto, o algoritmo utiliza o parâmetro *delta* para

selecionar um conjunto de razões ao redor de cada razão inicialmente escolhida. No caso do coeficiente α_1 , por exemplo, a razão mais próxima do valor 0,5355 na Eq. (4.2) é 15/28 (0,5357). Porém, para um *delta* de 10, o algoritmo seleciona as 10 razões menores que 15/28, bem como as 10 razões maiores, totalizando 21 razões na faixa 0,5238 – 0,5484. Os parâmetros Wp , Ws , Rp e As definem a resposta em frequência esperada do filtro. O parâmetro *bode_points* determina a quantidade de pontos no eixo de frequência para o cálculo da resposta em frequência do filtro. O parâmetro *max_caps* define o número máximo de capacitores unitários em todo o filtro e, juntamente com o parâmetro *max_den*, limita a área de silício ocupada pelos capacitores do filtro para fins de implementação.

O fluxograma simplificado do algoritmo de otimização é apresentado na Figura 4.1. Durante a execução do algoritmo, cada conjunto de razões que atende às especificações da resposta em frequência do filtro (parâmetros Wp , Ws , Rp e As) tem seus dados listados. Ao final da execução, o algoritmo ordena todas as possibilidades listadas anteriormente conforme sua atenuação mínima na banda de rejeição. O formato da listagem é próprio para sua posterior importação pelo aplicativo *Excel*¹ do pacote *Office*. Com os dados inseridos em uma planilha, pode-se ordenar os resultados de diferentes formas e assim considerar outros critérios de desempenho na análise.

Como última etapa de otimização, o algoritmo analisa a listagem anterior e elimina as possibilidades que utilizam maior quantidade de capacitores sem contudo obter melhor atenuação na banda de rejeição. Com isso, a listagem final do algoritmo de otimização é uma lista de possibilidades ordenadas por ordem decrescente de atenuação bem como de quantidade de capacitores.

A saída textual do algoritmo durante sua execução é apresentada a seguir. Selecionando uma faixa de 41 razões para cada coeficiente (*delta* = 20), a combinação dos 5 coeficientes (γ , α_1 , α_2 , β_1 e β_2) em um conjunto de 773 razões possíveis (*max_den* = 50) resulta em 115.856.201 possibilidades. Porém, apenas 189.131 tiveram sua resposta em frequência efetivamente verificada devido ao algoritmo de otimização, que elimina os conjuntos cujos número total de capacitores seja superior à *max_caps* ou cujo denominador comum entre α_1 e α_2 (ou entre β_1 e β_2) seja superior à *max_den*.

¹ © Microsoft Corporation

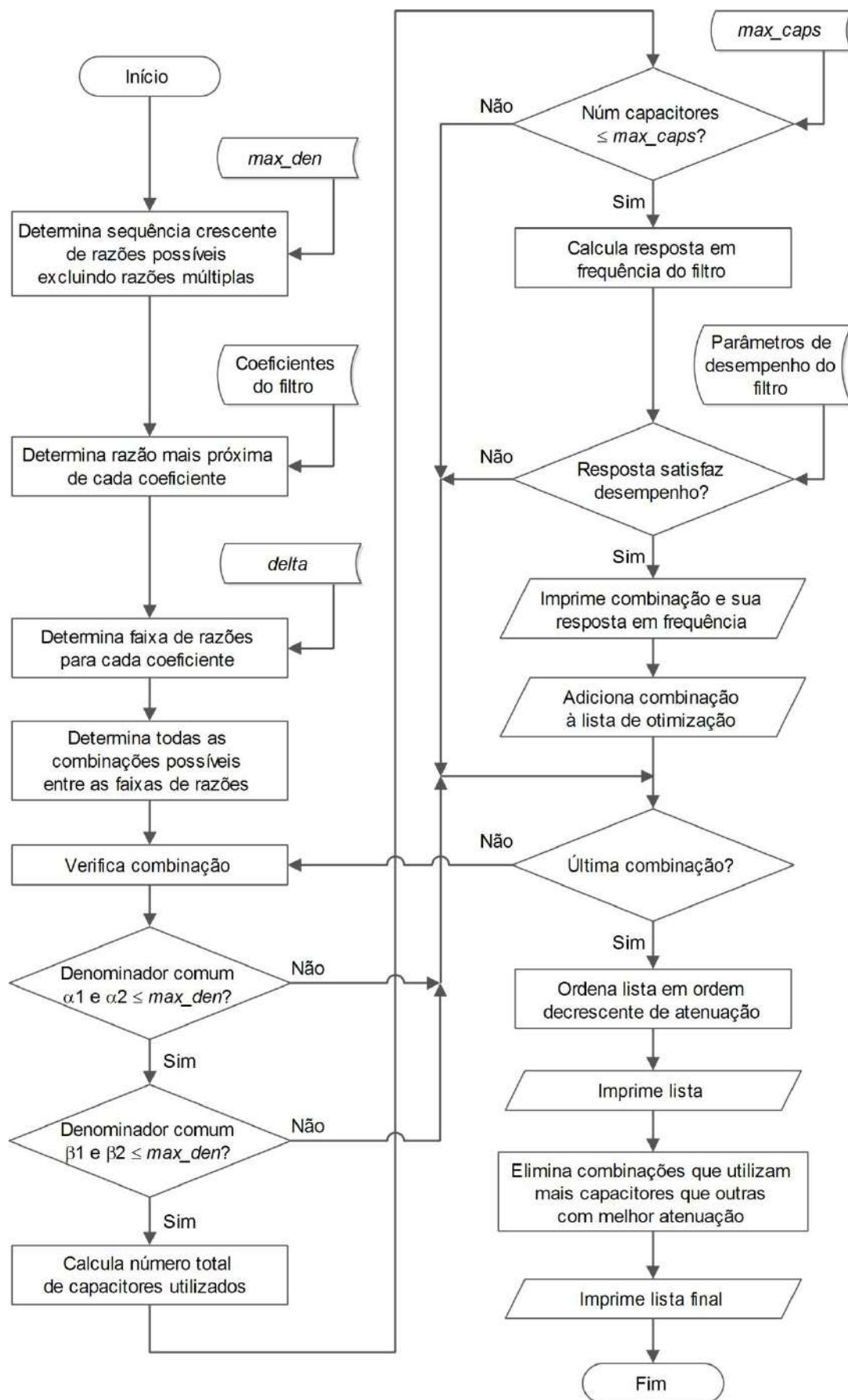


Figura 4.1: Fluxograma simplificado do algoritmo de otimização.

USAGE: ./fine_tune_AA_40dB_purge3_fixed_LIMIT_v2

<bode points> <Wp> <Ws> <Rp> <As> <max den>
<delta> <max caps>
<gamma>
<alpha1> <alpha2>
<beta1> <beta2>

bode points = number of points in bode plot: [2-10000]
Wp = normalized bassband frequency: (0.0-1.0)
Ws = normalized stopband frequency: (0.0-1.0)
Rp = passband maximum ripple in dB: (0.0-1.0)
As = stopband minimum attenuation in dB: [2.0-100.0]
max den = maximum number of capacitors in denominator: [2-50]
delta = +/-delta span of all hX in available capacitor ratios: [0-25]
max caps = maximum number of total capacitors: [11-395]
gamma = 1st-order superior all-pass coefficient: (0.0-1.0)
alphaX = 2nd-order superior all-pass coefficient: (0.0-1.0)
betaX = 2nd-order inferior all-pass coefficient: (0.0-1.0)

bode points = 4096
Wp = 0.200
Ws = 0.300
Rp = 0.100000000
As = 40.0
max den = 50
delta = 20
max caps = 200

Total capacitor ratios: 773

gamma = 0.6571 -> 41 ratios -> [0.6333 - 0.6857]
alpha1 = 0.5355 -> 41 ratios -> [0.5135 - 0.5610]
alpha2 = 0.1290 -> 41 ratios -> [0.1042 - 0.1556]
beta1 = 0.6408 -> 41 ratios -> [0.6170 - 0.6667]
beta2 = 0.4034 -> 41 ratios -> [0.3778 - 0.4250]

Total possible simulations: 115856201

* 0.1%: gamma=0.6333 (19/30) alpha1=0.5385 (7/13) alpha2=0.1282 (5/39) beta1=0.6667 (2/3)
beta2=0.4167 (5/12)
passband ripple: 0.089489 (0.000000, -0.089489)
stopband attenuation: -41.236147

(...)

* 3.4%: gamma=0.6600 (33/50) alpha1=0.5455 (6/11) alpha2=0.1364 (3/22) beta1=0.6471 (11/17)
beta2=0.4118 (7/17)
passband ripple: 0.095696 (0.000000, -0.095696)
stopband attenuation: -40.950487

4.1%: gamma=0.6757 (25/37) alpha1=0.5143 (18/35) alpha2=0.1429 (1/7) beta1=0.6286 (22/35)
beta2=0.4000 (2/5)

Total simulations actually run: 189131
Total simulations passed: 60
Total simulation time: 0 days 0 hours 0 mins 38 secs

As Rp RpMax RpMin gamma num1 den1 alpha1 num2 den2 alpha2 num3 den3 beta1 num4 den4 beta2 num5
den5 capsG capsA capsB capsAll
-44.022218 0.091448 +0.000000 -0.091448 0.6400 16 25 0.5526 21 38 0.1316 5 38 0.6667 8 12 0.4167
5 12 41 64 25 130
(...)
-40.019531 0.099693 +0.000000 -0.099693 0.6458 31 48 0.5417 13 24 0.1250 3 24 0.6562 21 32
0.4062 13 32 79 40 66 185

As Rp RpMax RpMin gamma num1 den1 alpha1 num2 den2 alpha2 num3 den3 beta1 num4 den4 beta2 num5
den5 capsG capsA capsB capsAll
-44.022218 0.091448 +0.000000 -0.091448 0.6400 16 25 0.5526 21 38 0.1316 5 38 0.6667 8 12 0.4167
5 12 41 64 25 130
-43.015807 0.078139 +0.000000 -0.078139 0.6364 7 11 0.5435 25 46 0.1304 6 46 0.6667 8 12 0.4167
5 12 18 77 25 120
-40.529769 0.086717 +0.000000 -0.086717 0.6429 9 14 0.5526 21 38 0.1316 5 38 0.6667 8 12 0.4167
5 12 23 64 25 112

Para os parâmetros de entrada da Tabela 4.1, obteve-se 60 conjuntos de razões que atendem aos critérios de desempenho do filtro. Ao final do processo de otimização, que ao todo dura menos de um minuto, o algoritmo lista apenas três possibilidades. A Tabela 4.2 destaca tais resultados, juntamente com outros também relevantes.

O 1º conjunto corresponde à aproximação de cada coeficiente à razão mais próxima. Este conjunto sequer teve sua resposta em frequência verificada, uma vez que

Tabela 4.2: Conjuntos de razões ótimas para o filtro *anti-aliasing*.

As (dB)	Rp (dB)	γ	α_1	α_2	β_1	β_2	$capsAll$
-	-	23/35	15/28	4/31	25/39	19/47	-
-40,7	0,087	13/20	24/43	6/43	30/45	19/45	200
-44,0	0,091	16/25	21/38	5/38	8/12	5/12	130
-43,0	0,078	7/11	25/46	6/46	8/12	5/12	120
-40,5	0,087	9/14	21/38	5/38	8/12	5/12	112

o denominador comum entre α_1 e α_2 (868) é muito superior à max_den , assim como o denominador comum entre β_1 e β_2 (1833).

O 2º conjunto utiliza a quantidade máxima permitida de capacitores unitários para o filtro ($max_caps = 200$). Nota-se pela atenuação obtida (A_s) que o aumento na quantidade de capacitores não necessariamente resulta em uma melhor resposta em frequência do filtro.

Os demais conjuntos correspondem à listagem final do algoritmo de otimização, sendo o 3º conjunto aquele com melhor atenuação na faixa de rejeição ($A_s = -44,0$ dB) enquanto o 5º conjunto apresenta a menor quantidade de capacitores unitários ($capsAll = 112$) capaz de atender aos requisitos de desempenho do filtro. O 4º conjunto representa uma possibilidade com valores intermediários de área e atenuação.

O conjunto adotado para implementação foi o que apresentou melhor atenuação na faixa de rejeição (3º conjunto), uma vez que a quantidade de capacitores utilizada é apenas 16% maior que a mínima necessária (5º conjunto).

4.2. FILTRO REAL DE MEIA BANDA

O algoritmo de otimização para o filtro real de meia banda do modulador SSB (Figura 2.8) é o mesmo da Figura 4.1, excluindo-se apenas as etapas que calculam o denominador comum entre coeficientes. Além disso, a etapa que calcula a resposta em frequência do filtro foi alterada para adequar-se à estrutura do filtro de meia banda: uma seção superior de 4ª ordem – sendo dois filtros passa-tudo de 2ª ordem em cascata – e uma seção inferior de 3ª ordem – constituída de um atraso unitário em cascata com um filtro passa-tudo de 2ª ordem.

Como todos os filtros passa-tudo possuem arquitetura do tipo $A(z^2)$, cada filtro possui um único coeficiente não nulo. Assim, o filtro real de meia banda totaliza apenas 3 razões de capacitores para análise, sem denominador comum entre elas. Os parâmetros de entrada do algoritmo de otimização para o filtro real de meia banda estão listados na Tabela 4.3.

Selecionando uma faixa de 41 razões para cada coeficiente ($delta = 20$), a combinação dos 3 coeficientes (h_1 , h_2 e h_3) em um conjunto de 773 razões possíveis ($max_den = 50$) resulta em 68.921 possibilidades. Destas, 64.950 foram efetivamente verificadas, sendo que somente 220 atendem aos critérios de desempenho do filtro. Ao final da otimização, apenas 6 possibilidades foram listadas. A Tabela 4.4 destaca os resultados mais importantes.

Tabela 4.3: Parâmetros de entrada do algoritmo para o filtro real de meia banda.

Parâmetro	Valor	Descrição
<i>bode_points</i>	4096	número de pontos para cálculo da resposta em frequência do filtro (normalizada para a faixa de frequência 0 a π)
<i>Wp</i>	0.45	fim da banda de passagem (normalizada para frequência π)
<i>Ws</i>	0.55	início da banda de rejeição (normalizada para frequência π)
<i>Rp</i>	0.1	<i>ripple</i> máximo na banda de passagem (dB)
<i>As</i>	38	atenuação mínima na banda de rejeição (dB)
<i>max_den</i>	50	número máximo de capacitores unitários para o denominador de cada razão
<i>delta</i>	20	quantidade de razões menores (e maiores) que a razão mais próxima de cada coeficiente
<i>max_caps</i>	200	número máximo de capacitores unitários para o filtro, considerando numerador e denominador de todas as razões
<i>h1</i>	0.1899	coeficiente ideal do filtro passa-tudo de 2ª ordem “A” da seção superior
<i>h2</i>	0.8600	coeficiente ideal do filtro passa-tudo de 2ª ordem “B” da seção superior
<i>h3</i>	0.5517	coeficiente ideal do filtro passa-tudo de 2ª ordem da seção inferior

Tabela 4.4: Conjuntos de razões ótimas para o filtro real de meia banda.

<i>As</i> (dB)	<i>Rp</i> (dB)	<i>h1</i>	<i>h2</i>	<i>h3</i>	<i>capsAll</i>
-39,1	0,0005	7/37	37/43	27/49	200
-40,3	0,0004	4/21	37/43	21/38	164
-40,1	0,0004	4/21	43/50	16/29	163
-38,8	0,0006	7/37	6/7	6/11	74
-38,7	0,0006	3/16	6/7	6/11	49

O 1º conjunto corresponde àquele com a quantidade máxima permitida de capacitores unitários para o filtro ($max_caps = 200$). Por atender aos requisitos de desempenho do filtro, tal conjunto consta na primeira listagem do algoritmo de otimização, mas não consta na listagem final por utilizar mais capacitores que outros conjuntos com melhor atenuação. Os demais conjuntos da Tabela 4.4 estão contidos na listagem final. O 2º conjunto é aquele que apresenta a melhor atenuação na faixa de rejeição ($A_s = -40,3$ dB) e o 3º conjunto corresponde à aproximação de cada coeficiente à razão mais próxima.

O último conjunto apresenta a menor quantidade de capacitores unitários ($capsAll = 49$) capaz de atender aos requisitos de desempenho do filtro e foi o adotado para sua implementação. Tal escolha é justificada por sua atenuação mínima na faixa de rejeição estar apenas 1,6 dB abaixo da melhor alcançada (2º conjunto). Ainda assim, utiliza 70% menos capacitores.

O 4º conjunto da Tabela 4.4 corresponde ao segundo menor conjunto em quantidade de capacitores. Embora a quantidade seja 51% maior (74 contra 49), a atenuação é praticamente a mesma. Isto demonstra, mais uma vez, que o aumento da quantidade de capacitores não necessariamente melhora a resposta em frequência do filtro.

CAPÍTULO 5

RESULTADOS EXPERIMENTAIS

O circuito integrado proposto nesta Tese para a realização do conversor DSB-SSB foi validado em um simulador de circuitos elétricos do tipo *SPICE*. Tal simulador, *Spectre*, é parte integrante da ferramenta de software *Virtuoso*¹ [57] para a captura de esquemático, simulação elétrica e *layout* de circuitos integrados. Associado ao simulador há uma biblioteca completa de modelos, fornecida pela *foundry* AMS, para os dispositivos da tecnologia CMOS de 180 nm (transistores, resistores, capacitores, etc). Para cada dispositivo, a biblioteca contempla diferentes modelos, cada modelo contendo seus valores ajustados de forma a refletir um determinado desvio no processo de fabricação.

Logo, por meio do simulador elétrico e sua multiplicidade de modelos, é possível garantir que o circuito projetado é operacional mesmo considerando variações de $\pm 3\sigma$ no processo de fabricação. Polarizado com tensão de 1,8 V, o conversor DSB-SSB opera com sinais diferenciais de até 1 V, tensão de modo comum de 0,9 V e frequência de chaveamento de 1 MHz.

5.1. CONFIGURAÇÃO

A operação do conversor DSB-SSB inicia-se com a configuração de sua memória volátil interna, constituída por *flip-flops* do tipo *D*. Por meio de um sinal digital externo do tipo *reset* assíncrono, todos os *flip-flops* assumem um estado pré-determinado por projeto ($Q = 1$ ou $Q = 0$) e definem uma série de parâmetros de configuração do conversor:

- seleção do tipo de modulação: *Upper Sideband* ou *Lower Sideband* (Seção 3.9.2);

¹ © Cadence Design Systems, Inc.

- inibição do demodulador DSB (Figura 3.1); neste modo, o sinal de entrada do conversor passa a ser o sinal banda-base $BB(t)$, que é amostrado e em seguida acoplado à entrada do modulador SSB;
- seleção de até 3 sinais analógicos diferenciais, dentre 12 disponíveis, para monitoração *off-chip*;
- seleção de até 4 sinais digitais, dentre 27 disponíveis, para monitoração *off-chip* ou acionamento de circuitos e equipamentos externos (*e.g. trigger* de um conversor analógico-digital ou um osciloscópio);
- valores iniciais para os contadores digitais do demodulador DSB (Figura 3.10) e do modulador em quadratura (Figura 3.26), carregados durante a fase de inicialização do conversor (Seção 5.2); o valor inicial de cada contador permite sincronizar a fase do demodulador/modulador com seu sinal de entrada.

Dentre os sinais digitais disponíveis, encontram-se as 16 fases de *clock*, os *bits* de contagem e controle do demodulador DSB (Tabela 3.3), além dos *bits* de controle do modulador SSB (Tabela 3.10).

Dado que os *flip-flops* da memória estão encadeados como um *shift register*, seu estado inicial pode ser alterado posteriormente por uma sequência de 60 *bits*, carregada serialmente através de uma entrada digital e um sinal de *clock*. Após a configuração da memória interna, seja por *reset* ou pela sequência de *bits*, o conversor analógico deve ser inicializado conforme a seção a seguir.

5.2. INICIALIZAÇÃO

O conversor DSB-SSB propriamente dito possui pinos de *reset* e *clock* independentes de sua memória interna. Sua inicialização tem origem na transição positiva do seu sinal externo de *reset*, que aciona assincronamente uma cadeia de *flip-flops*. Tal cadeia produz um sinal interno de *reset* que se mantém ativo por duas transições positivas do sinal de *clock* após a transição negativa do sinal externo de *reset*. Desta forma, garante-se que o sinal interno de *reset* é síncrono e sua duração mínima é de um ciclo de *clock*. Durante o período de *reset*, as chaves analógicas de todos os circuitos e capacitores chaveados do conversor permanecem em estado aberto ou fechado, dependendo da sua posição em cada circuito, de modo que todos os amplificadores operacionais operem como *buffer* e todos os capacitores tenham sua carga zerada.

A exceção são os circuitos de CMFB (Seção 3.7). Seus capacitores necessitam de alguns ciclos de *clock* para que a tensão de modo comum na saída de cada amplificador operacional estabilize em torno de seu valor esperado (V_{CM}). Por esta razão, a cadeia de *flip-flops* atribui sinal diferencial *zero* à entrada do conversor DSB-SSB - $DSB(t)$ na Figura 3.1 - por 10 ciclos de *clock*, antes de conectá-la ao sinal de entrada externo. A longa duração do período de inicialização se deve aos circuitos de CFMB do modulador SSB (Figura 3.1), que operam com metade da frequência de chaveamento em razão de seu *downsampling* (Seção 2.5.1).

5.3. ENTRADA DSB

O simulador *Spectre* suporta a descrição de componentes elétricos tanto por modelo elétrico quanto por linguagem de descrição de *hardware*, ou *Hardware Description Language* (HDL), no formato Verilog-A, um subconjunto para sinais analógicos do formato Verilog-AMS [58].

Para validar o projeto do conversor DSB-SSB, o simulador utiliza uma entrada DSB contínua no tempo, gerada a partir de um modelo matemático em formato Verilog-A. Tal modelo está listado no Anexo III e possui alguns parâmetros de entrada que são definidos pelo ambiente de simulação. Para frequência de chaveamento de 1 MHz, estes parâmetros assumem os valores da Tabela 5.1.

Para o modelo e valores dos seus parâmetros de entrada, o sinal de entrada DSB

Tabela 5.1: Parâmetros de entrada do gerador de sinal DSB ($f_{clk} = 1$ MHz).

Parâmetro	Valor	Descrição
<i>Gain</i>	1.0	amplitude do sinal diferencial DSB (V)
<i>fChannel</i>	75.0	largura de cada banda (kHz)
<i>fCarrier1</i>	62.5	frequência central da banda inferior do sinal DSB (kHz)
<i>fCarrier2</i>	187.5	frequência central da banda superior do sinal DSB (kHz)
<i>trepeat</i>	288.0	janela de tempo (μ s) para cálculo da FFT do sinal DSB
<i>tshift</i>	216.5	deslocamento do sinal DSB (μ s) para inicialização do conversor e facilitar cálculo da FFT

consiste em um sinal BB do tipo passa-faixa com frequência central de 62,5 kHz e largura de faixa de 75 kHz, modulado em amplitude por uma portadora com frequência f_c de 125 kHz, 1/8 da frequência de chaveamento f_{clk} conforme descrito na Seção 3.8.1. Sua curva ao longo do tempo é apresentada na Figura 5.1. Seu espectro de frequência, obtido por uma FFT (*Fast Fourier Transform* [33]) de 65536 pontos com função-janela de Hamming, é apresentado na Figura 5.2. A FFT evidencia as duas bandas de um sinal

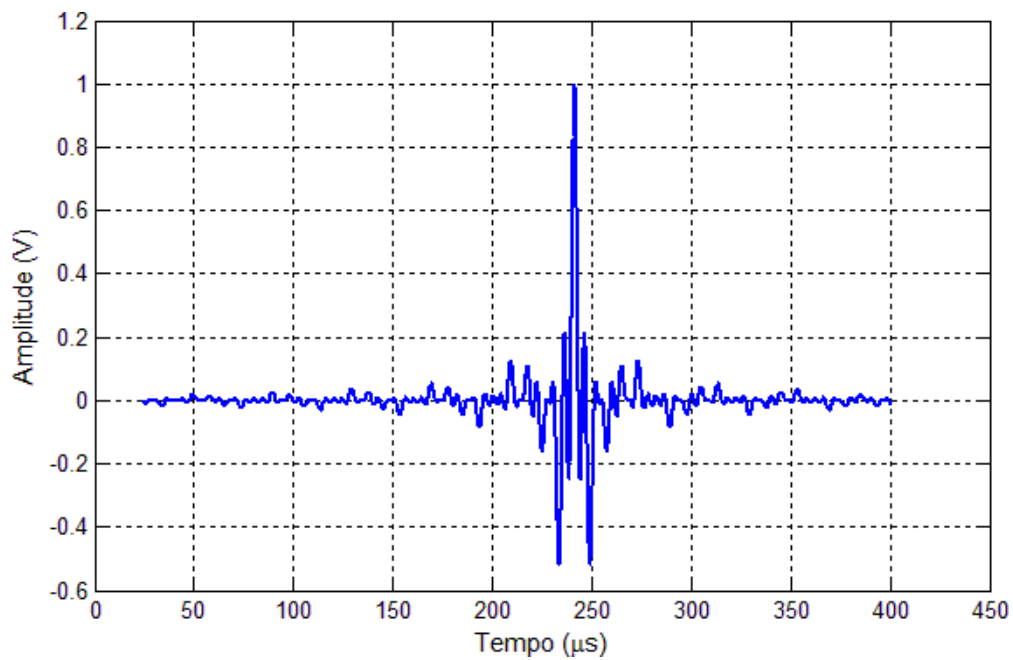


Figura 5.1: Sinal de entrada DSB no tempo.

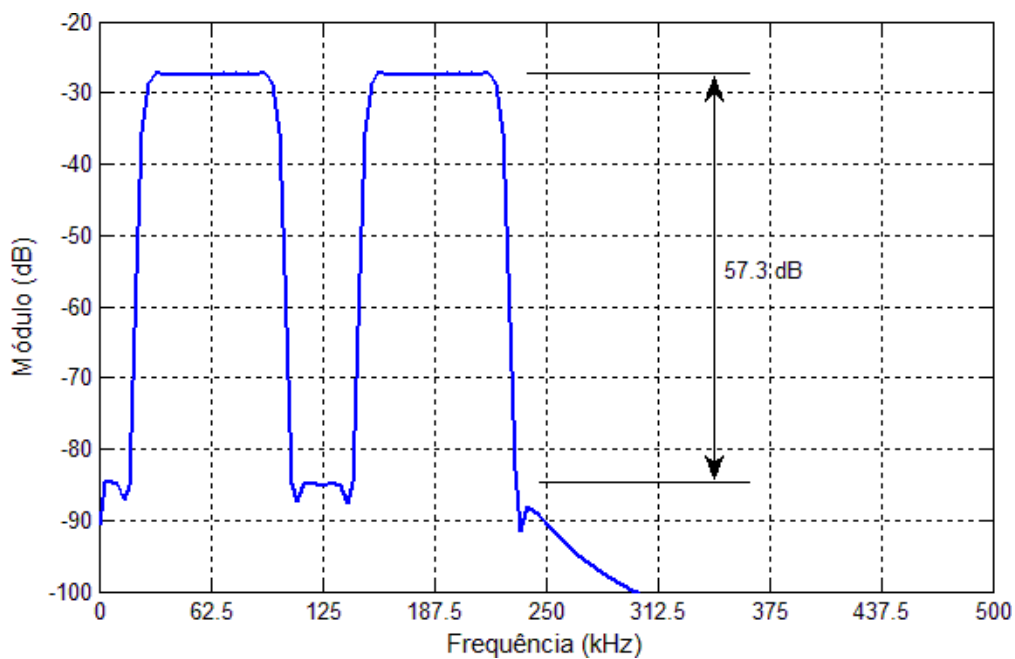


Figura 5.2: FFT do sinal DSB.

Double Sideband semelhante à Figura 1.1: uma centrada em 62,5 kHz e outra em 187,5 kHz, cada uma com 75 kHz de largura de banda (como definido na Tabela 5.1). A relação do sinal DSB com as demais componentes da FFT é de, no mínimo, 57,3 dB.

5.4. DEMODULADOR DSB

O modelo Verilog-A do demodulador DSB implementa matematicamente seu diagrama da Figura 3.1, onde o sinal de entrada DSB é amostrado por um *Sample-and-Hold* ideal antes de ser aplicado ao *mixer* de entrada. O *mixer* é constituído por um operador ideal de multiplicação cujas entradas são o sinal DSB amostrado e uma senóide com frequência f_c , também pré-amostrada por um S/H. Em seguida, a saída do *mixer* é aplicada ao filtro *anti-aliasing* ideal.

O S/H, o multiplicador e o filtro são módulos Verilog-A e estão listados no Anexo III. Todos possuem parâmetros de entrada que são definidos pelo simulador conforme a Tabela 5.2. O parâmetro td permite sincronizar o processamento do modelo Verilog-A com o processamento do circuito, de forma que os sinais gerados por ambos coincidam tanto no tempo quanto em amplitude, respeitando o tempo de inicialização do circuito conforme descrito na Seção 5.2.

Tanto o S/H quanto o filtro *anti-aliasing* são descritos em Verilog-A como funções de transferência no domínio Z através da função *zi_nd*, cujos parâmetros de entrada são os coeficientes do numerador e do denominador. No caso do filtro *anti-aliasing*, cada filtro passa-tudo corresponde a uma função *zi_nd* cujos numerador e denominador são definidos pelas Eqs. (3.6) a (3.10), enquanto seus coeficientes têm seus valores definidos pela 3ª coluna da Tabela 3.5. A saída deste filtro *anti-aliasing* representa o sinal BB ideal e serve de referência para o sinal BB do circuito integrado conforme a Figura 5.3. Nota-se que o sinal BB do circuito integrado é muito próximo do sinal de referência.

Tabela 5.2: Parâmetros de entrada do demodulador DSB.

Parâmetro	Valor	Descrição
T	$1/f_{clk}$	período de amostragem (s)
tt	10 n	tempo de transição da saída (s)
td	$23.5/f_{clk}$	atraso na amostragem da entrada (s)

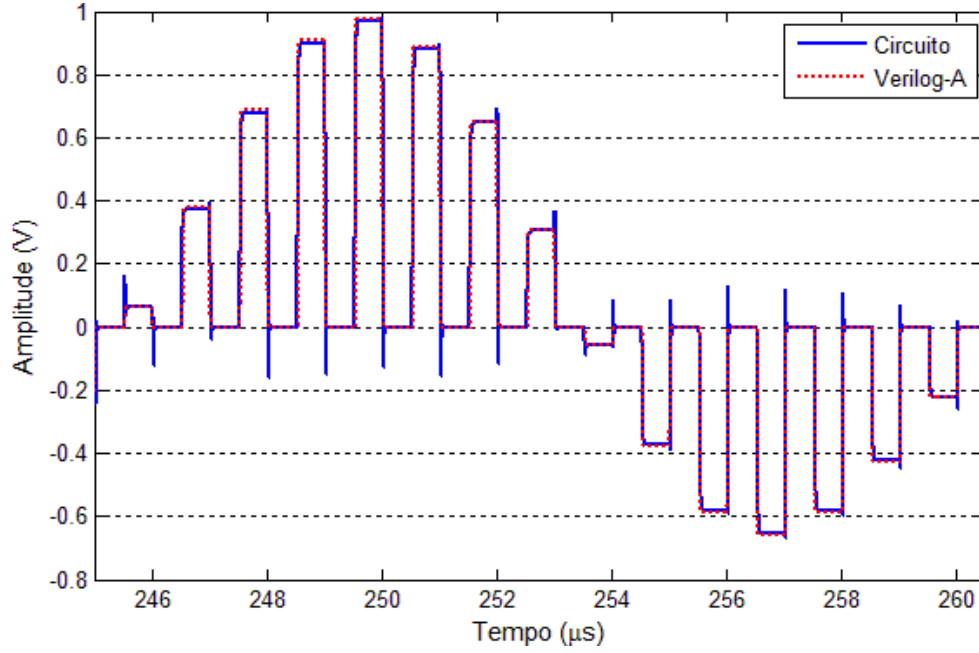


Figura 5.3: Sinal BB na saída do filtro *anti-aliasing*.

Os sinais do circuito integrado são válidos apenas em uma fase e muito próximos de zero na fase seguinte. Isto decorre da arquitetura adotada em cada circuito SC para o cancelamento da tensão de *offset* de seu amplificador operacional. Como os sinais do modelo Verilog-A não apresentam esta limitação, aqueles que são monitorados passam antes por um *Sample-and-Hold* ideal (Anexo III) que produz saída zero em uma das fases a fim de adequar sua comparação com os sinais do circuito.

A FFT de ambos os sinais BB é apresentada na Figura 5.4. A atenuação mínima das imagens de BB, produzidas pelo *mixer* e com frequências centrais 187,5 kHz e 312,5 kHz, é igual a 49,4 dB para o modelo Verilog-A. No caso do circuito integrado, a atenuação é igual a 46,4 dB conforme indicado na Figura 5.4.

5.5. MODULADOR SSB

O modelo Verilog-A do modulador SSB segue a arquitetura da Figura 2.10 e está listado no Anexo III. Ele contempla tanto o transformador de Hilbert quanto o modulador em quadratura e seus parâmetros de entrada são os mesmos da Tabela 5.2.

Cada filtro passa-tudo do transformador de Hilbert é descrito como uma função z_{i_nd} com numerador e denominador definidos pelas Eqs. (3.7) e (3.15) e seus coeficientes pela 3ª coluna da Tabela 3.7. Seu período de amostragem é $2T$ e equivale ao *downsampling* por um fator de 2. O atraso z^{-1} também é modelado por uma função z_{i_nd} .

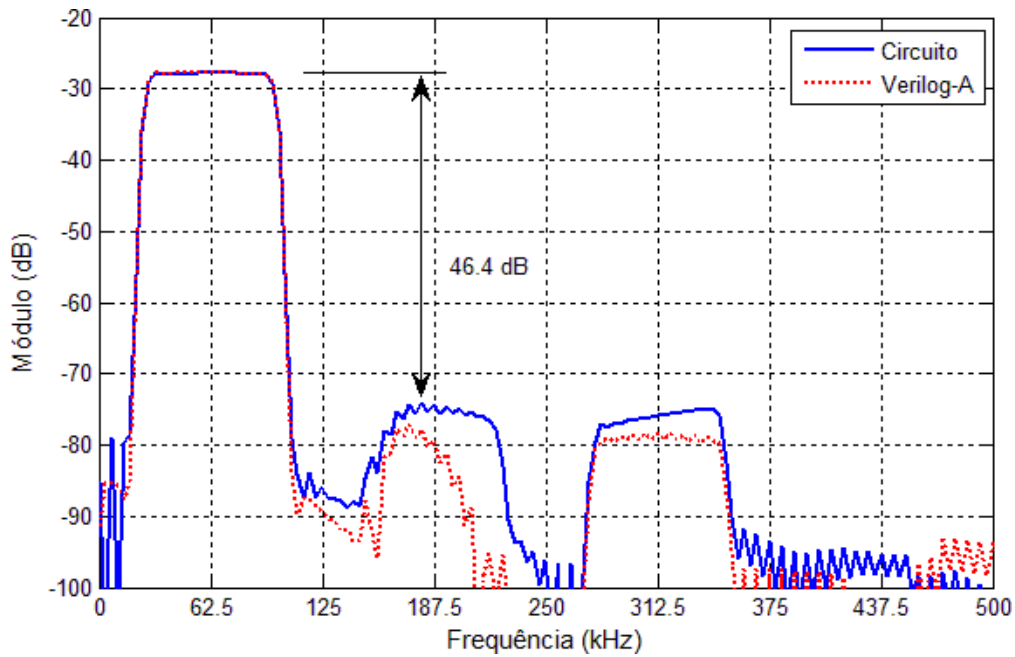


Figura 5.4: FFT do sinal BB.

O processamento do sinal BB pelo transformador de Hilbert resulta em um sinal analítico (Figura 5.5) cuja componente imaginária $Im[2n]$ (linha tracejada) está defasada de 90° da componente real $Re[2n]$. O sinal analítico possui metade da taxa de amostragem do sinal BB, ou seja, 500 kHz.

O modulador em quadratura combina as duas componentes do sinal analítico para produzir o sinal modulado SSB. No modelo Verilog-A, o modulador multiplica as

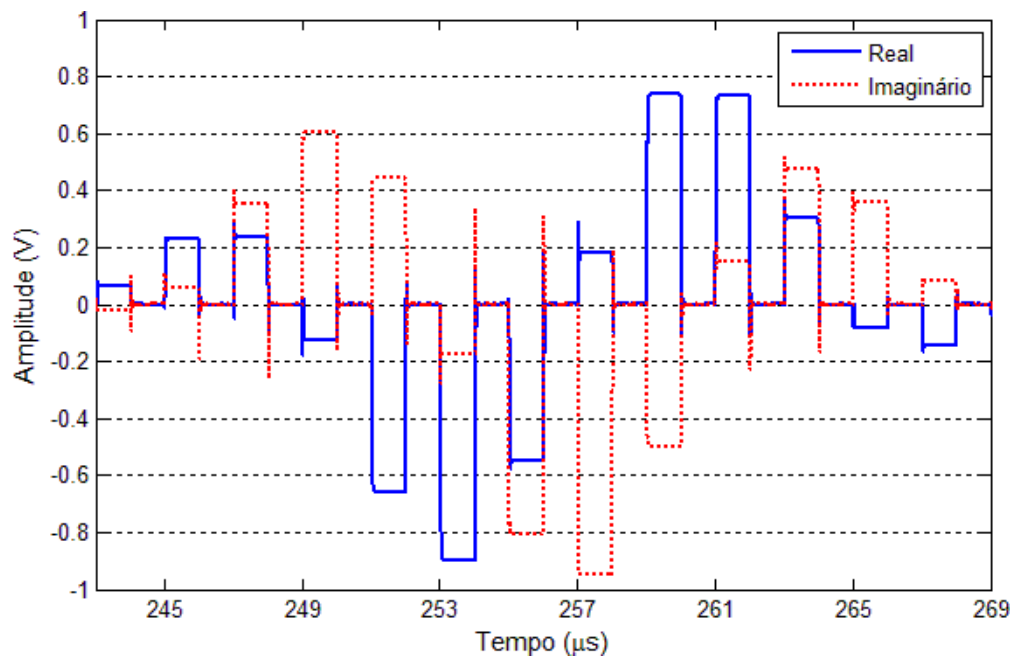


Figura 5.5: Componentes do sinal analítico na saída do transformador de Hilbert.

componentes do sinal analítico por duas senóides defasadas de 90° entre si. Ambas as senóides possuem frequência f_c e são pré-amostradas por circuitos de *Sample-and-Hold* ideais.

Nota-se pela Figura 5.6 que a saída SSB do circuito integrado é muito próxima do sinal de referência do modelo Verilog-A. Conclui-se então que a arquitetura a capacitores chaveados do conversor DSB-SSB é totalmente funcional. Para tensão de alimentação de 1,8 V e frequência de chaveamento de 1 MHz, a corrente média consumida pelo conversor é de 9,73 mA, resultando em uma potência de apenas 17,5 mW. Considerando apenas o modulador SSB (Figura 3.1), a potência consumida limita-se a 7,8 mW.

Calculando a FFT do sinal SSB, obtém-se o espectro da Figura 5.7. Com a redução da taxa de amostragem para 500 kHz, seu espectro é limitado a 250 kHz. Comparando a Figura 5.7 com a Figura 5.2, percebe-se que a banda superior do sinal de entrada DSB foi atenuada de tal forma que a relação entre as bandas inferior e superior do sinal de saída SSB é de, no mínimo, 41,2 dB. Esta relação está próxima da relação de 42,8 dB obtida com o modelo Verilog-A.

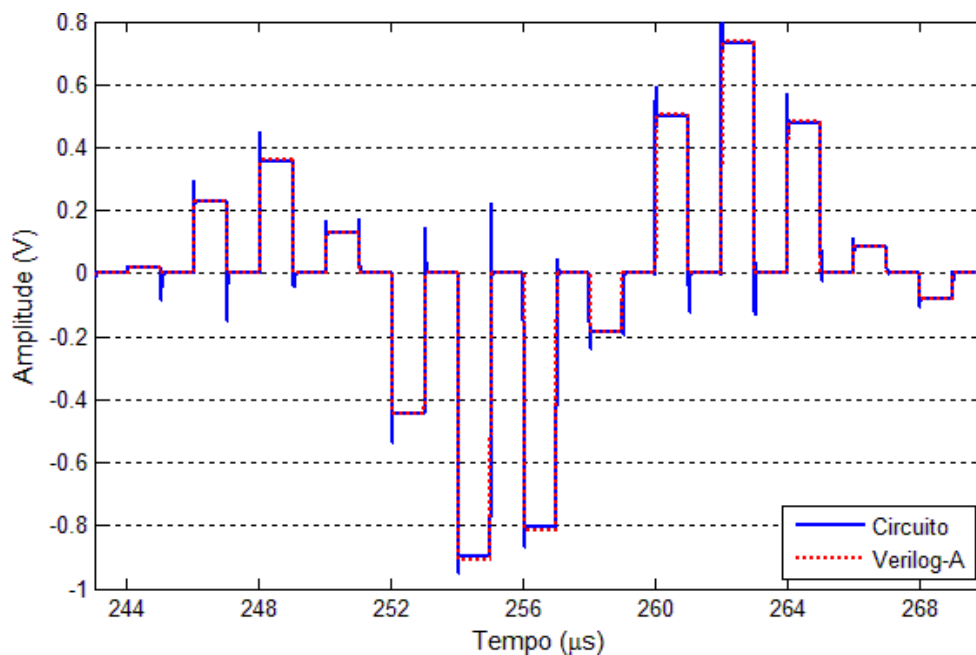


Figura 5.6: Sinal SSB na saída do conversor.

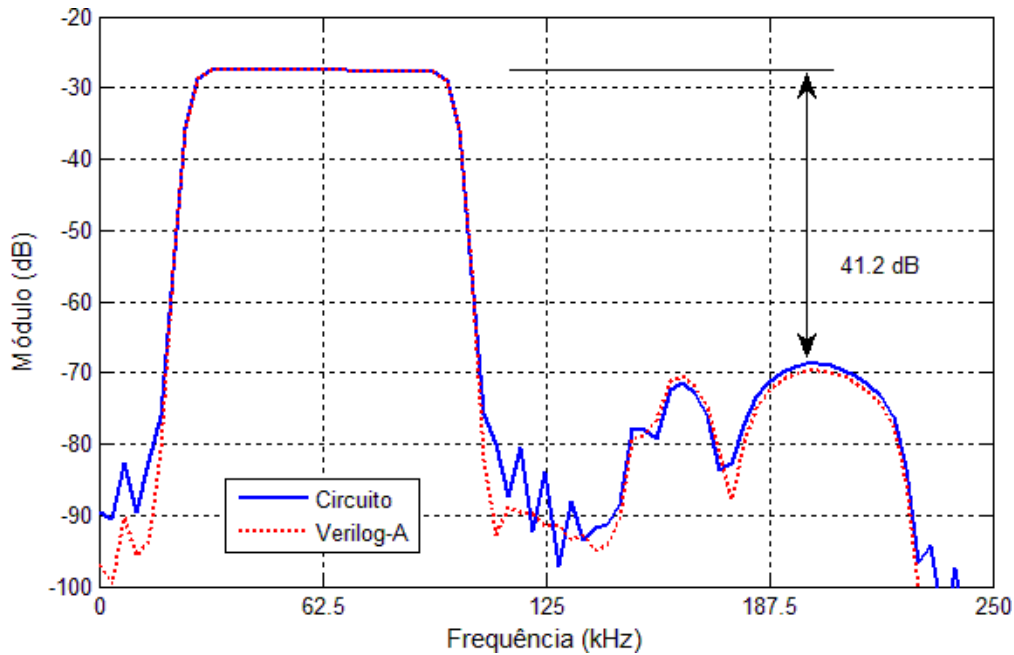


Figura 5.7: FFT do sinal SSB.

5.6. SIMULAÇÃO COM ELEMENTOS PARASITAS

O *layout* do conversor DSB-SSB é mostrado na Figura 5.8 e compreende 27 amplificadores operacionais, 916 capacitores unitários além de chaves analógicas e portas lógicas. A memória de configuração e os multiplexadores para monitoração *off-chip* de sinais analógicos e digitais não estão incluídos. Os principais circuitos do conversor estão destacados e identificados por *demod*, *AA*, *HT* e *mod*, correspondendo ao *mixer* do demodulador, filtro *anti-aliasing*, transformador de Hilbert e modulador em quadratura, respectivamente. Para polarizar os amplificadores, são utilizados 54 espelhos de corrente *cascode* NMOS [19] com razão de espelhamento 1:1. As entradas destes espelhos são conectadas a um mesmo pino analógico, de modo que todos os amplificadores são polarizados por uma corrente externa total de 540 μA . Nesta ordem de grandeza, garante-se que a corrente é menos sensível a ruído e fuga de corrente, internos e externos, bem como facilmente ajustável por meio de um potenciômetro multivoltas. A área de silício ocupada pelo conversor é de 1,085 mm^2 . Considerando somente o modulador SSB, a área reduz-se a 0,49 mm^2 , ou seja, apenas 45,2% da área total.

A partir do *layout* é possível extrair a resistência das trilhas de interconexão bem como a capacitância entre elas, a fim de verificar por simulação quanto a precisão do conversor é afetada por estes elementos parasitas. No caso de circuitos a capacitores

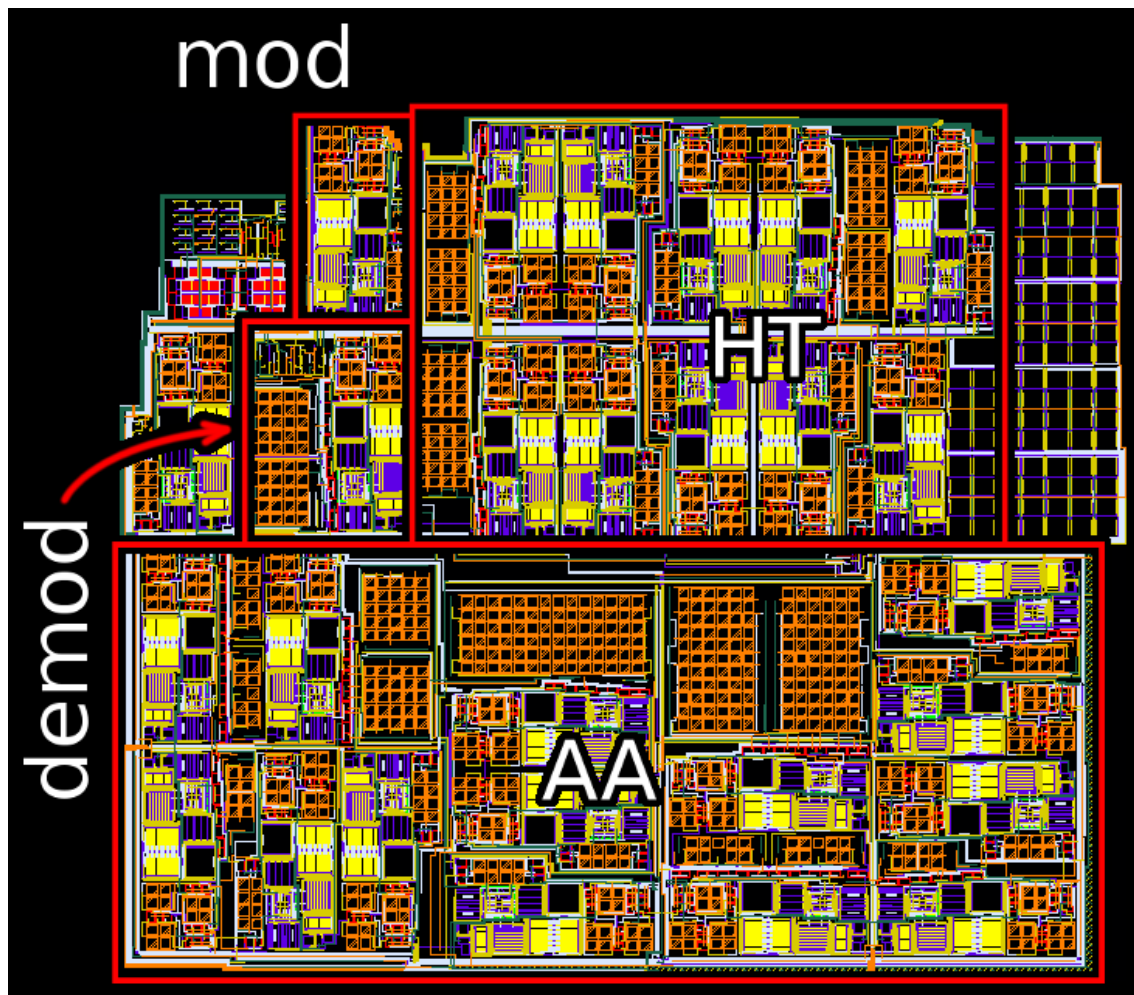


Figura 5.8: *Layout* do conversor DSB-SSB.

chaveados, sabe-se que a resistência das trilhas afeta principalmente a frequência máxima de operação do circuito mas nem tanto sua precisão. Além do mais, a resistência das chaves analógicas (Seção 3.4) costuma ter ordem de grandeza maior que das parasitas.

As capacitâncias parasitas podem prejudicar significativamente a precisão de circuitos SC, já que seu princípio de funcionamento baseia-se na transferência de carga entre dois ou mais capacitores através de um nó comum. Qualquer capacitância indesejada neste nó pode resultar em fuga ou injeção de carga, implicando que a transferência de carga não será perfeita. Consequentemente, a tensão de saída do circuito conterà um erro, sendo este tão maior quanto o valor da capacitância indesejada bem como a variação de tensão entre seus terminais. Além disso, múltiplas capacitâncias parasitas conectadas a um mesmo nó resultam no somatório dos erros introduzidos por cada capacitância.

Embora existam circuitos SC cuja arquitetura seja insensível a certas capacitâncias parasitas [19], [21], a realização de uma razão de capacitores por matriz de capacitores unitários torna inevitável a presença de parasitas entre os capacitores da razão. Apesar da estrutura das chaves analógicas (Seção 3.4) reduzir a injeção de carga por *clock feedthrough* [19], capacitâncias parasitas entre o nó comum e outros sinais de fase, decorrentes das trilhas de interconexão, permanecem problemáticas. Portanto, é recomendável minimizar o valor total das capacitâncias parasitas em cada nó comum do circuito SC, analisando cuidadosamente o roteamento de cada trilha correspondente no *layout*. A quantidade de nós comuns em cada circuito SC varia conforme sua arquitetura, porém nunca é menor que 2 para circuitos diferenciais.

O espectro de frequência da saída do demodulador, $BB(z)$, é apresentado na Figura 5.9, antes e depois da extração dos elementos parasitas. Comparando sua atenuação com a obtida na Figura 5.4, conclui-se que as capacitâncias parasitas têm pouco efeito sobre o desempenho do demodulador DSB. No caso do modulador SSB (Figura 5.10), a rejeição de imagem diminuiu apenas 0,6 dB quando comparada com a Figura 5.7. Embora esta perda seja aceitável, os elementos parasitas produziram também uma componente indesejada na frequência da portadora, 125 kHz.

A fim de determinar a relação desta componente com os elementos parasitas, e assim aprimorar o roteamento das trilhas correspondentes, o arquivo de *netlist* do

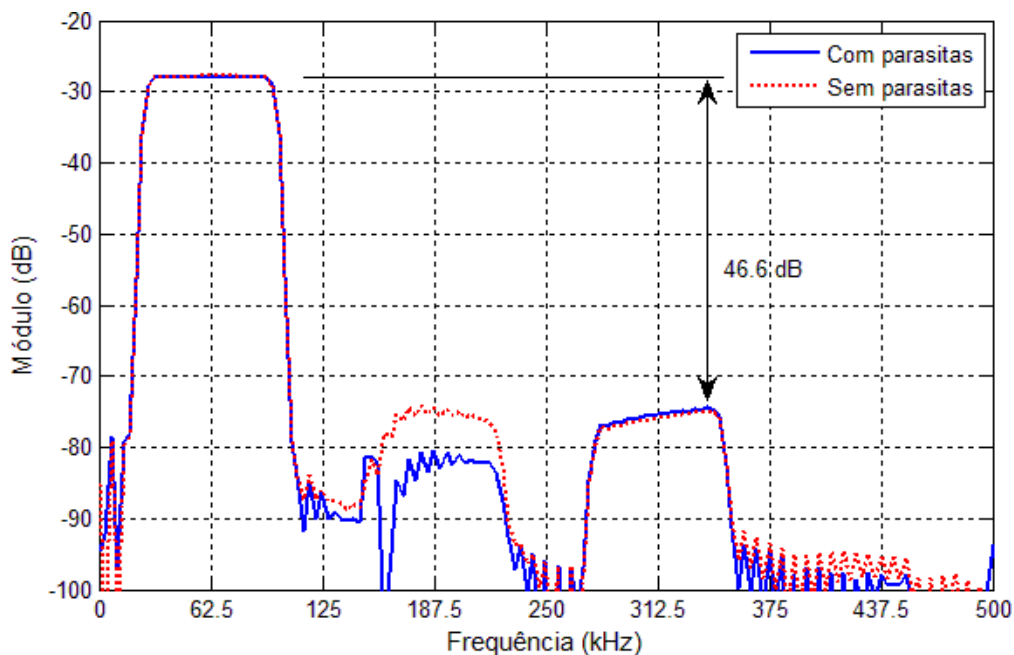


Figura 5.9: Efeito das capacitâncias parasitas no sinal BB.

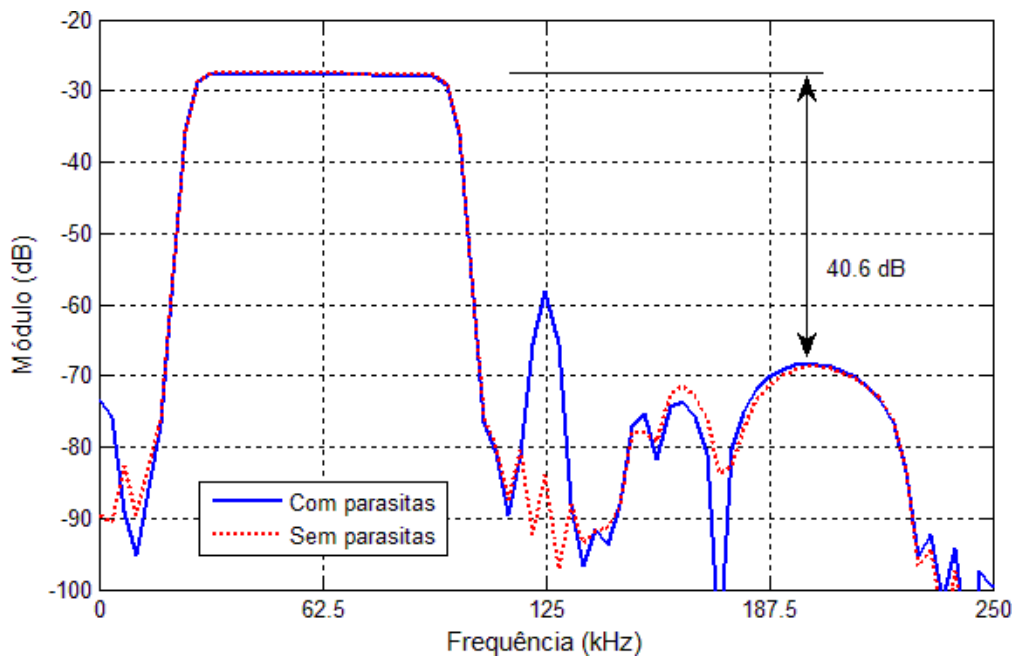


Figura 5.10: Efeito das capacitâncias parasitas na saída SSB.

conversor DSB-SSB foi processado por ferramentas de busca e edição de texto. Inicialmente foram identificadas 12.930 capacitâncias parasitas no circuito, que variam de $1,7 \cdot 10^{-17}$ a $1,5 \cdot 10^{-12}$ farads e cuja distribuição é ilustrada na Figura 5.11. Aplicando exclusão seletiva de parasitas no *netlist*, o circuito do conversor foi simulado sucessivas vezes até a obtenção de um conjunto de parasitas *críticas*, constituído de apenas 547 capacitâncias e todas menores que 10^{-15} farads. Ainda que sua quantidade e ordem de

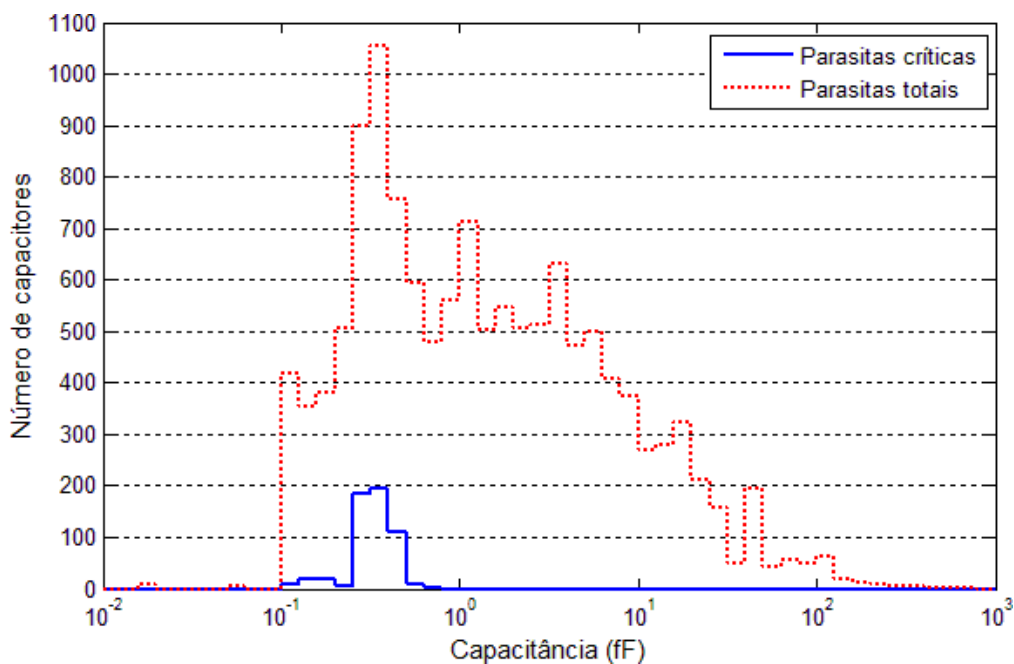


Figura 5.11: Distribuição das capacitâncias parasitas.

grandeza sejam pequenas (Figura 5.11), elas estão invariavelmente conectadas entre o nó comum de um circuito SC e um sinal de fase. Como detalhado anteriormente, capacitâncias em nós comuns são críticas. Além disso, os sinais de fase variam entre V_{DD} e V_{SS} a cada transição do *clock*, resultando em uma grande variação de tensão em um dos terminais de cada capacitor parasita. Tal variação converte-se em fluxo de carga pelo nó comum de modo que estas capacitâncias tornam-se críticas para o circuito.

A importância deste conjunto é observada na Figura 5.12, uma vez que a componente indesejada na saída do conversor DSB-SSB reduz-se significativamente quando o mesmo é simulado com todas as suas capacitâncias parasitas, exceto aquelas do conjunto crítico. As distribuições da Figura 5.11 correspondem ao *layout* do conversor já com suas trilhas de conexão otimizadas e a ordem de grandeza das capacitâncias críticas indica que elas resultam principalmente do cruzamento perpendicular entre trilhas de metal com largura mínima.

5.7. RESULTADOS DE SILÍCIO

Uma fotomicrografia do circuito integrado é apresentada na Figura 5.13. As matrizes de capacitor unitário estão visíveis por utilizarem a camada superior de metal, ao passo que as demais camadas do *chip* estão obstruídas por preenchimento de metal (*metal tiling*), gerado automaticamente pela *foundry* após a submissão do *layout*. O conversor está localizado no centro da fotomicrografia, circundado pela memória

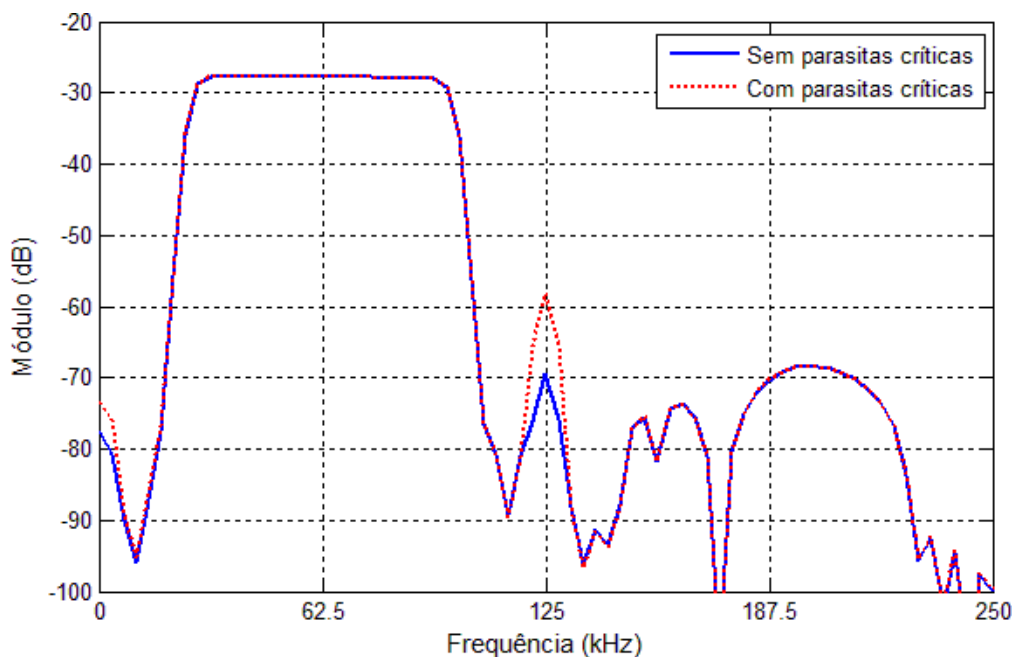


Figura 5.12: Efeito das parasitas críticas na saída SSB.

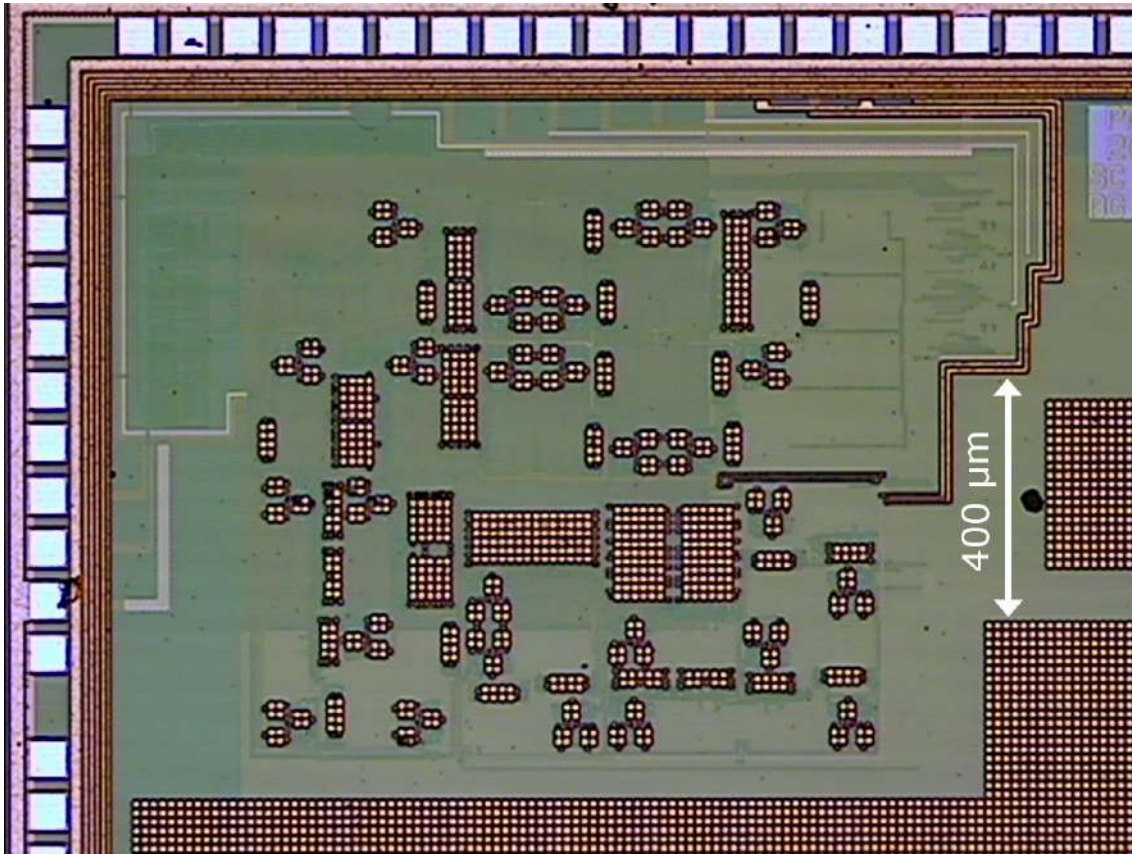


Figura 5.13: Fotomicrografia do *chip*.

interna bem como os multiplexadores analógicos e digitais. Abaixo e à direita do conversor são visíveis também grandes áreas com preenchimento de metal da camada superior para atender requisito da tecnologia quanto à densidade global mínima de metal.

Nas simulações, a entrada DSB descrita na Seção 5.3 possui largura de banda suficiente para comprovar que o conversor DSB-SSB é verdadeiramente *wideband*. Contudo, a Figura 5.1 mostra que sua amplitude é relativamente pequena na maior parte do seu período, o que a torna muito suscetível a ruído durante testes experimentais. Por esta razão, para validação do circuito integrado adotou-se um sinal DSB com banda estreita, resultante da modulação AM de um sinal BB senoidal ao invés de um sinal passa-banda. Seu valor RMS elevado garante uma relação sinal-ruído adequada na entrada do conversor, porém permite validá-lo somente para uma frequência. Assim, os testes experimentais foram repetidos para 3 sinais banda-base com frequências diferentes, parametrizadas pela frequência f_c da portadora conforme a Tabela 5.3.

Considerando a frequência nominal de chaveamento de 1 MHz, o sinal de entrada DSB resultante para cada caso é apresentado na Figura 5.14. Em todos eles, seu valor

Tabela 5.3: Sinais $DSB(t)$ experimentais.

Frequência da senóide $BB(t)$ a ser modulada	Descrição	Frequência da banda inferior da entrada $DSB(t)$	Frequência da banda superior da entrada $DSB(t)$
$0,25 \cdot f_c$	baixa frequência	$0,75 \cdot f_c$	$1,25 \cdot f_c$
$0,50 \cdot f_c$	frequência intermediária	$0,50 \cdot f_c$	$1,50 \cdot f_c$
$0,75 \cdot f_c$	alta frequência	$0,25 \cdot f_c$	$1,75 \cdot f_c$

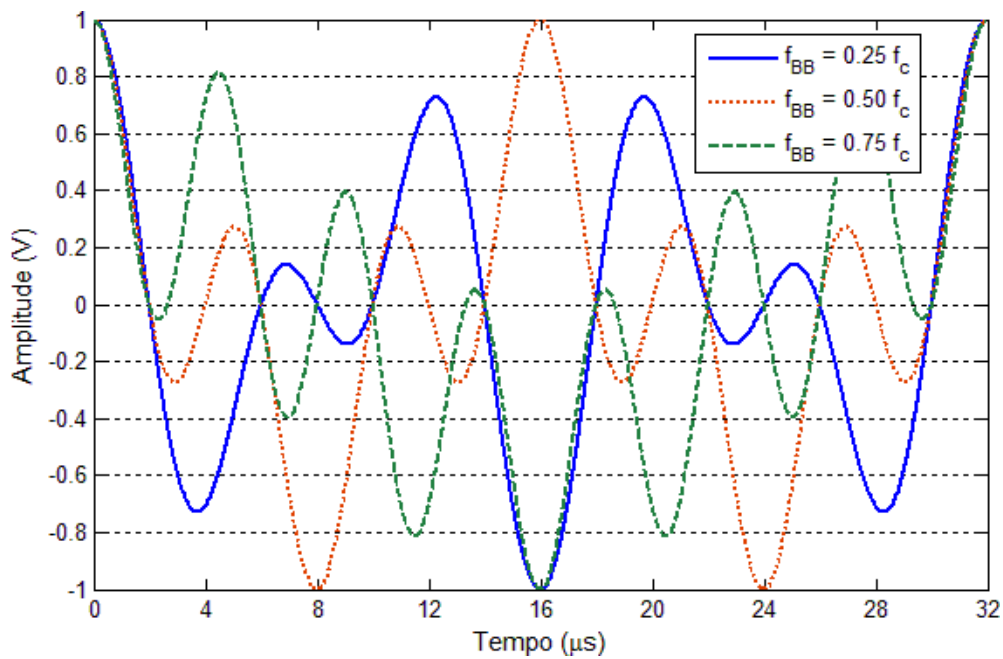


Figura 5.14: Sinais $DSB(t)$ experimentais no tempo ($f_s = 1$ MHz, $f_c = 125$ kHz)

RMS é de 0,50 V e a frequência da portadora é 125 kHz. Em contrapartida, o valor RMS do sinal $DSB(t)$ da Figura 5.1 é de apenas 0,11 V.

A Figura 5.15 contém uma fotografia do ambiente de testes experimentais. O sinal de entrada $DSB(t)$ é produzido por um gerador de função arbitrária com saída diferencial enquanto os sinais digitais e de chaveamento do conversor são fornecidos por um FPGA (*Field-Programmable Gate Array*). Por meio de chaves liga-desliga, chaves *push-button* e indicadores do tipo LED (*Light-Emitting Diode*) associados ao FPGA, é possível alterar a memória de configuração do conversor bem como sua frequência de chaveamento. O modelo de FPGA utilizado incorpora também um processador ARM (*Advanced RISC Machine*), de modo que o controle do conversor

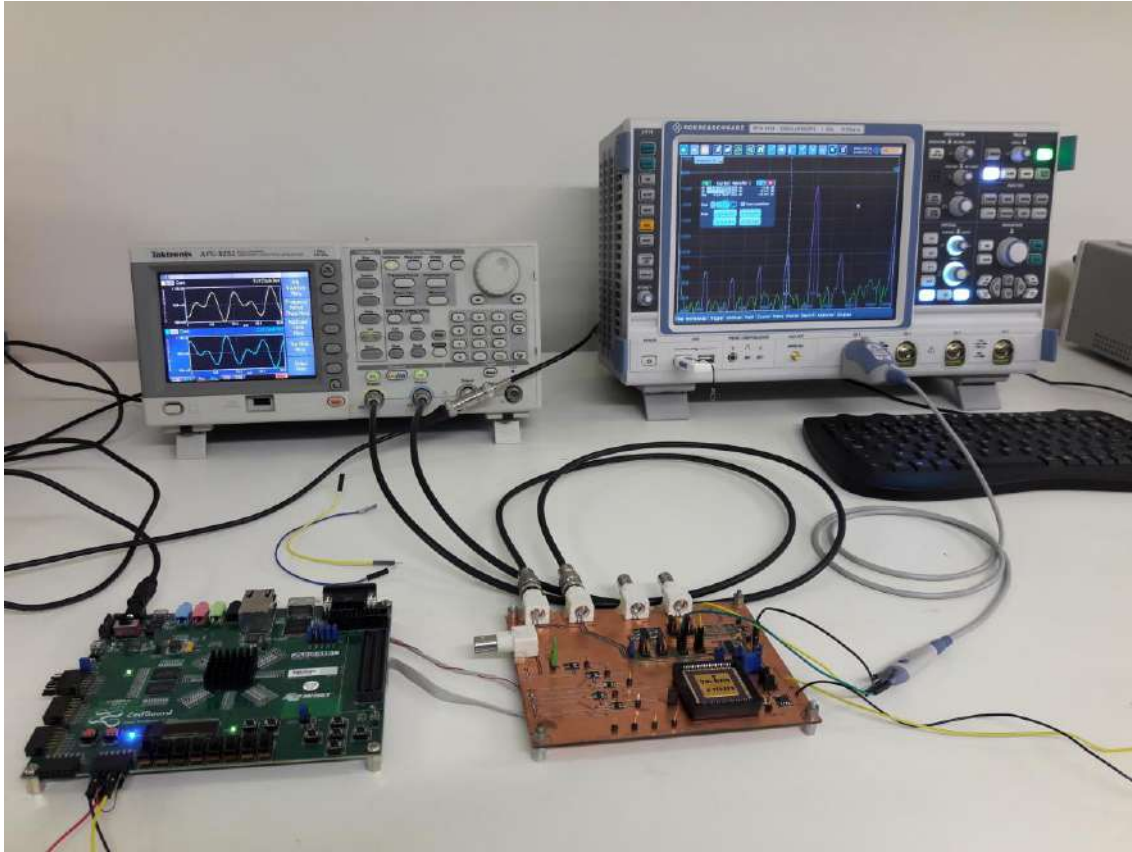


Figura 5.15: Ambiente de testes experimentais.

envolveu tanto programação em linguagem VHDL (*VHSIC Hardware Description Language*) quanto linguagem C. As saídas digitais e analógicas do conversor são monitoradas por um osciloscópio digital capaz de realizar FFT em tempo real bem como medir a taxa de rejeição de imagem nas saídas $BB[n]$ e $SSB[2n]$. Sinais digitais utilizam ponteiras passivas convencionais enquanto saídas analógicas dispõem de uma ponteira ativa diferencial.

A FFT calculada pelo osciloscópio para os sinais de entrada $DSB(t)$ da Figura 5.14 é apresentada na Figura 5.16. A janela de tempo usada pela FFT é de $400\ \mu\text{s}$ ou 50 períodos da portadora. A relação do sinal $DSB(t)$ com as demais componentes da FFT é de, no mínimo, 47,5 dB. A Figura 5.17 ilustra o espectro de frequência do sinal $BB[n]$ obtido na saída do demodulador DSB. A atenuação das imagens de $BB[n]$ em frequências acima da portadora f_c é de 45,5 dB para baixa frequência ($f_{BB} = 0,25 \cdot f_c$), 42,6 dB para frequência intermediária ($f_{BB} = 0,50 \cdot f_c$) e 39,0 dB para alta frequência ($f_{BB} = 0,75 \cdot f_c$).

Para modulação LSB (Figura 5.18), a saída do conversor DSB-SSB atinge taxa de rejeição de imagem de 47,4 dB, 45,5 dB e 39,5 dB para sinais BB de baixa, média e alta

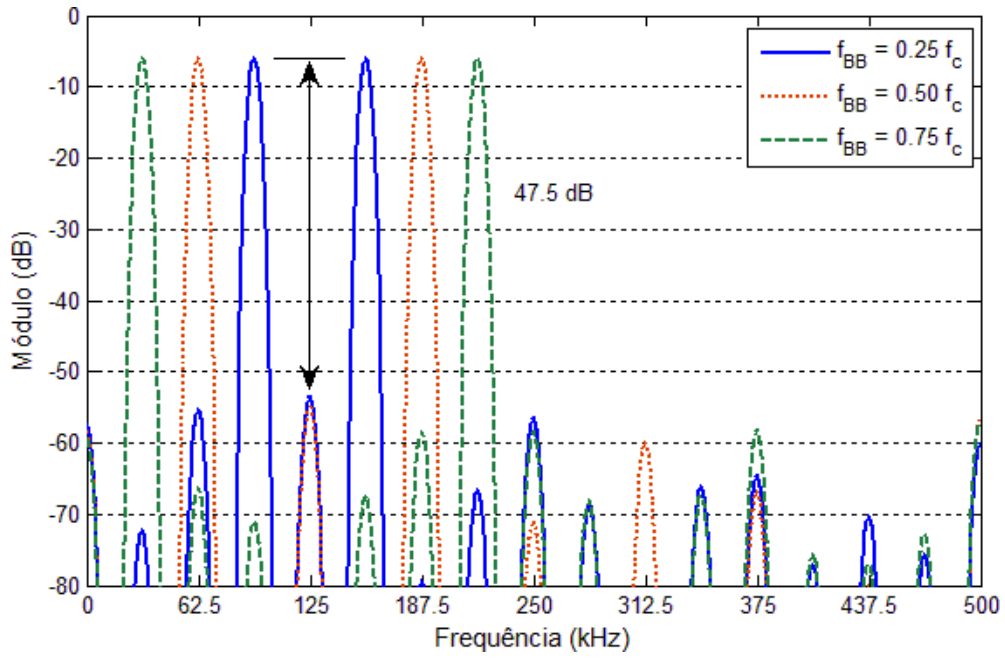


Figura 5.16: FFT dos sinais $DSB(t)$ experimentais ($f_s = 1$ MHz, $f_c = 125$ kHz).

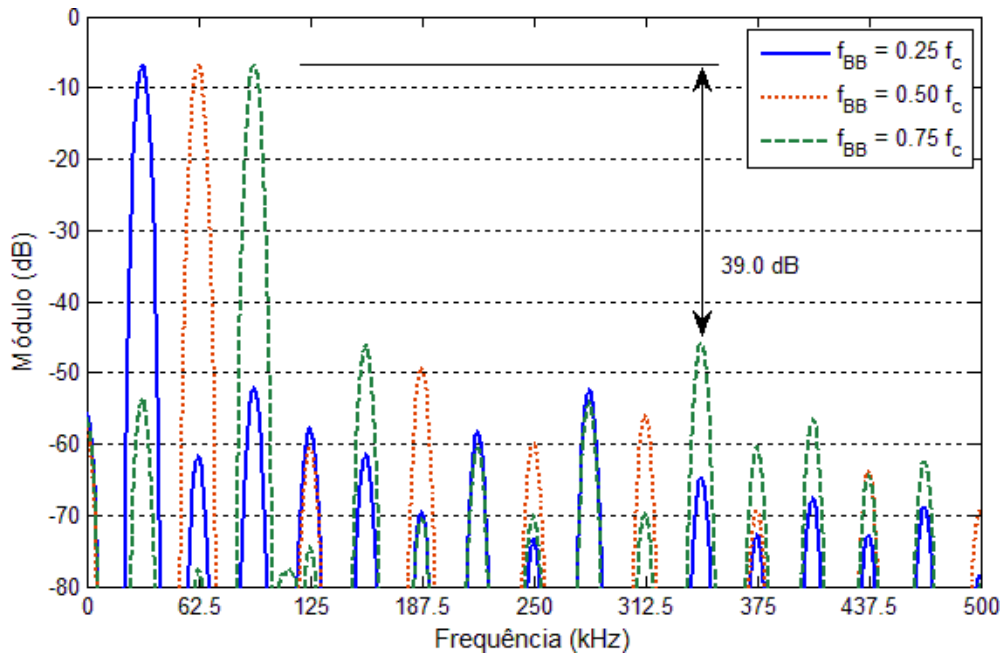


Figura 5.17: FFT dos sinais $BB[n]$ experimentais ($f_s = 1$ MHz, $f_c = 125$ kHz).

frequências, respectivamente. Para as mesmas entradas, a IRR com modulação USB (Figura 5.19) é de 46,0 dB, 39,3 dB e 38,0 dB, respectivamente. A componente indesejada na frequência da portadora (Figura 5.10), prevista pelas simulações com elementos parasitas (Seção 5.6), não foi observada nos testes experimentais.

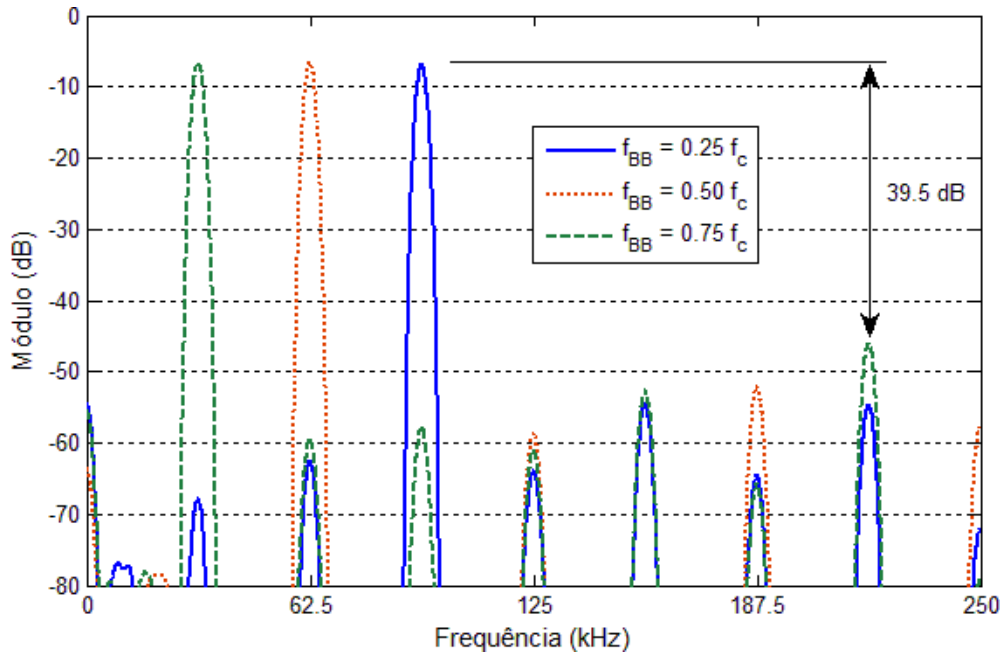


Figura 5.18: FFT da saída $SSB[2n]$ para modulação LSB ($f_s = 1$ MHz, $f_c = 125$ kHz).

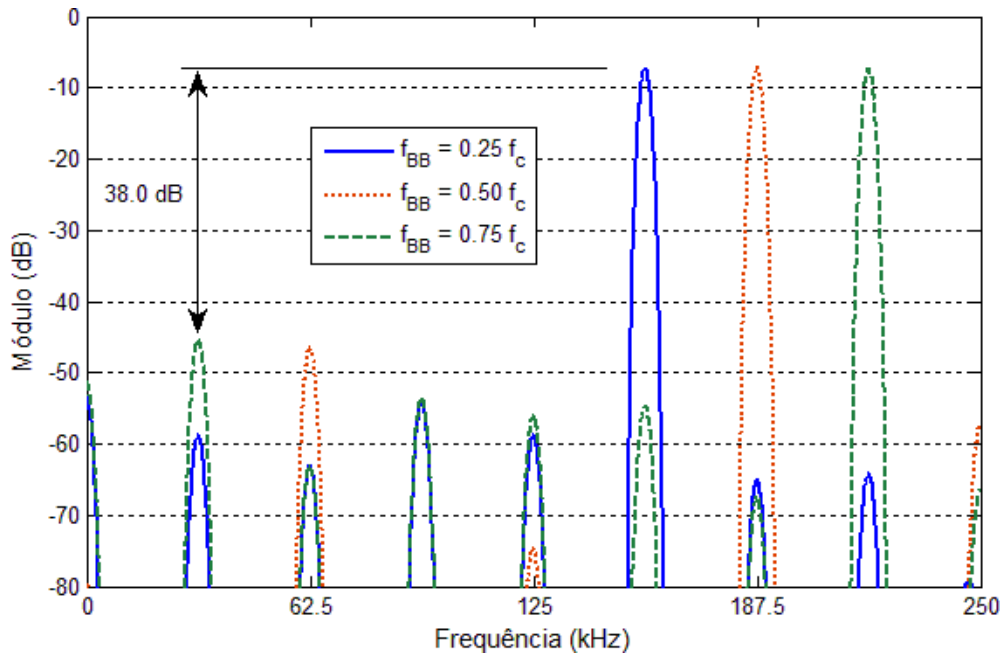


Figura 5.19: FFT da saída $SSB[2n]$ para modulação USB ($f_s = 1$ MHz, $f_c = 125$ kHz).

Para avaliar a robustez do projeto diante das variações de processo bem como do descasamento de transistores e capacitores, a repetibilidade da taxa de rejeição de imagem do conversor foi medida para as 20 amostras encapsuladas disponíveis. Neste caso, adotou-se o sinal banda-base de frequência intermediária: $f_{BB} = 0,50 \cdot f_c$. Antes de medir cada amostra, a corrente externa de polarização do *chip* precisa ser ajustada, por meio de um potenciômetro multivoltas, até o valor nominal de 540 μ A.

A Tabela 5.4 lista os resultados obtidos para cada amostra. Na Figura 5.20 temos a distribuição estatística da corrente total I_{DD} consumida pelo *chip*, com valor médio de 9,856 mA e desvio padrão de apenas 36 μ A. Seu valor médio está apenas 1,3% acima do obtido na simulação, 9,73 mA (Seção 5.5). A taxa de rejeição de imagem IRR para modulação LSB possui a distribuição da Figura 5.21. Seu valor médio dentre 20 amostras é de aproximadamente 45,0 dB com desvio padrão de 0,5 dB. Para modulação USB, a taxa de rejeição de imagem varia apenas 0,24 dB em torno do seu valor médio de 39,26 dB (Figura 5.22).

5.7.1. EFEITO DA CAPACITÂNCIA EXTERNA

Os resultados da Tabela 5.4 evidenciam uma diferença na taxa de rejeição das modulações LSB e USB de uma mesma amostra, o que não era esperado visto que o circuito que implementa ambas as modulações consiste basicamente de chaves analógicas (Figura 3.25). Além disso, tal diferença é sistemática em todas as amostras analisadas. A fim de investigar a causa desta discrepância, o comportamento de uma amostra foi avaliado em função da frequência de chaveamento f_s . Para o sinal banda-

Tabela 5.4: Resultados experimentais para 20 amostras.

Amostra	I_{DD} (mA)	IRR (dB) para LSB	IRR (dB) para USB	Amostra	I_{DD} (mA)	IRR (dB) para LSB	IRR (dB) para USB
1	9,90	45,16	39,31	11	9,92	45,16	39,40
2	9,88	44,68	39,15	12	9,81	45,25	39,34
3	9,84	46,17	39,75	13	9,84	44,24	39,24
4	9,87	45,19	39,15	14	9,90	44,93	39,34
5	9,79	44,77	39,22	15	9,81	44,13	39,07
6	9,81	45,64	39,42	16	9,85	45,16	39,66
7	9,91	44,84	38,90	17	9,85	44,44	38,89
8	9,83	45,54	39,34	18	9,85	44,71	39,07
9	9,87	44,25	38,78	19	9,86	45,15	39,48
10	9,86	45,14	39,37	20	9,87	45,08	39,28

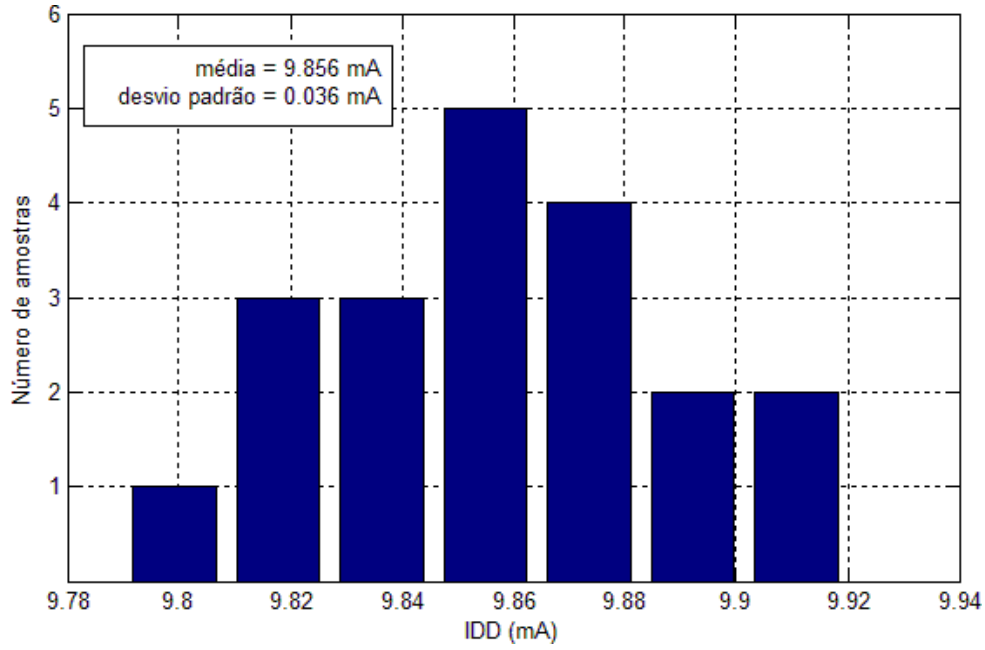


Figura 5.20: Distribuição estatística da corrente I_{DD} consumida pelo *chip*.

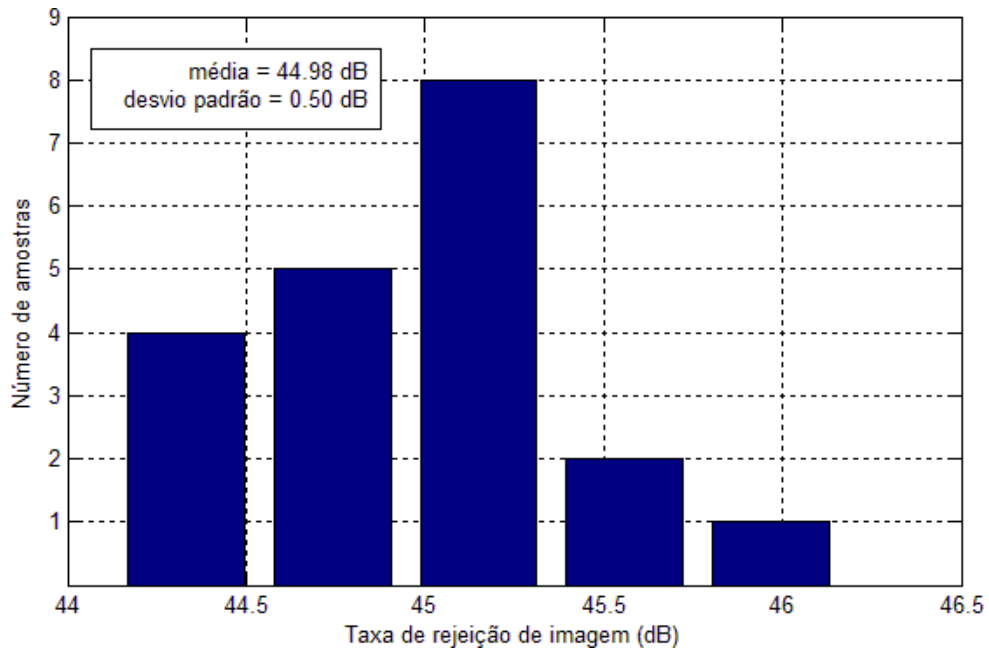


Figura 5.21: Distribuição estatística da taxa de rejeição de imagem IRR para modulação LSB.

base de frequência intermediária ($f_{BB} = 0,50 \cdot f_c$), a taxa de rejeição de imagem medida na saída do conversor para diferentes frequências está listada na Tabela 5.5. Analisando graficamente tais valores (Figura 5.23), constata-se que a IRR para modulação LSB aumenta com a frequência enquanto sofre efeito contrário para modulação USB.

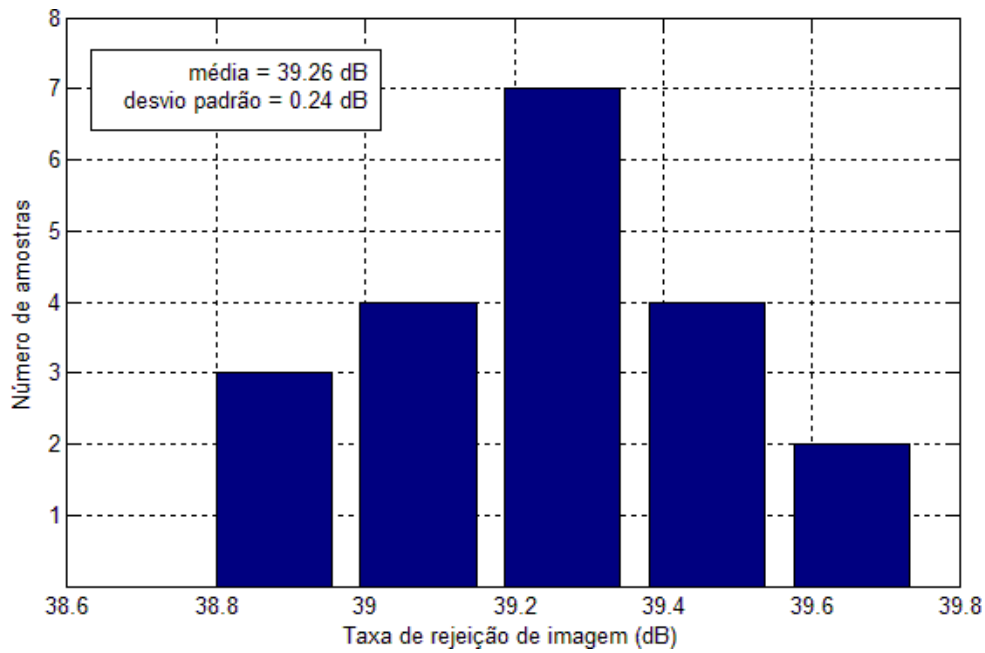


Figura 5.22: Distribuição estatística da taxa de rejeição de imagem IRR para modulação USB.

Tabela 5.5: Variação da taxa de rejeição de imagem com a frequência de chaveamento.

f_s (kHz)	IRR (dB) modulação LSB	IRR (dB) modulação USB
125	41,97	40,29
250	42,13	40,07
500	42,59	39,89
625	43,32	39,74
1000	45,44	39,29
1250	46,72	38,77

O amplificador operacional descrito na Seção 3.7 foi idealizado para operar com circuitos a capacitores chaveados na frequência nominal de 1 MHz. Sua carga capacitiva de 10 pF foi estimada como sendo a maior possível para sinais internos ao *chip* (Seção 3.7). Contudo, a monitoração externa de sinais durante testes experimentais introduz capacitâncias adicionais que aumentam a capacitância total equivalente para além do limite de 10 pF. Tais capacitâncias derivam, por exemplo, de cada *bond pad* do

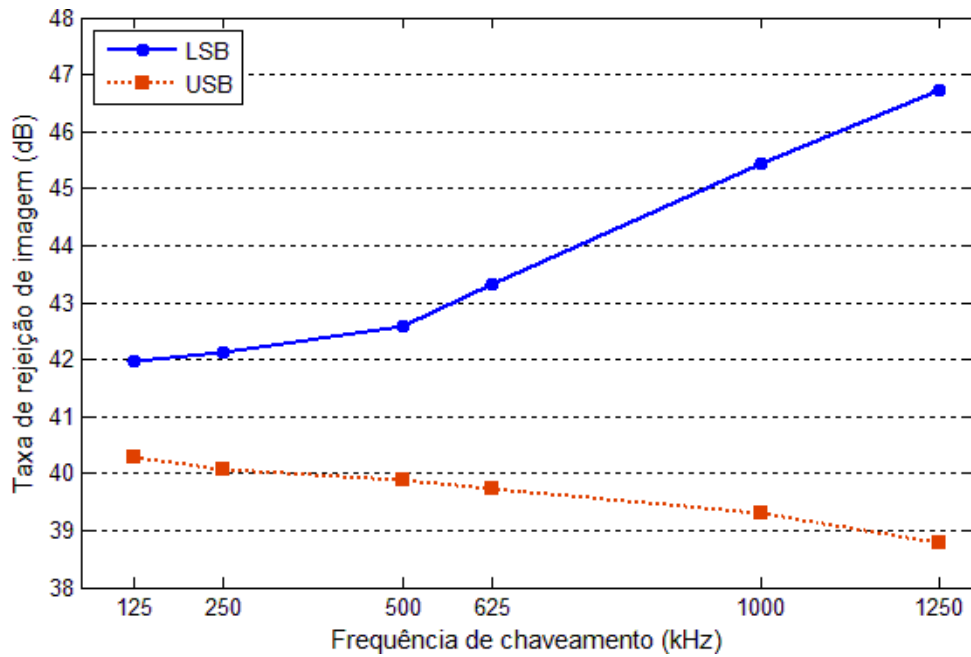


Figura 5.23: Taxa de rejeição de imagem pela frequência de chaveamento.

chip, do *leadframe* do encapsulamento, da placa de circuito de testes bem como dos instrumentos de medida.

Neste sentido, o projeto do circuito integrado contempla um amplificador operacional com arquitetura e resposta em frequência semelhantes ao amplificador da Seção 3.7, porém com carga capacitiva de 100 pF ao invés de 10 pF. Seu propósito é permitir que o conversor DSB-SSB opere na frequência nominal de 1 MHz durante testes experimentais. Como a carga de 100 pF resultou em um amplificador com área de silício e consumo de corrente elevados, ele é usado tão somente como um *Sample-and-Hold*, semelhante ao descrito na Seção 3.6, para os 3 sinais analógicos do *chip* disponíveis para monitoração externa (Seção 5.1). Como cada amplificador é precedido por um multiplexador analógico de 16 entradas, as fases que controlam o S/H correspondente precisam também ser precedidas por multiplexadores digitais a fim de sincronizar o S/H com a fase em que o sinal a ser monitorado é válido.

O circuito que engloba o S/H, os multiplexadores analógicos e os multiplexadores digitais foi designado *buffer* SC de saída. Apesar de ter sido completamente projetado e simulado, sua arquitetura complexa inviabilizou a execução do seu *layout* na janela de tempo disponível até a data de *tapeout* do *chip*. Com isso, o conversor DSB-SSB foi fabricado de tal forma que a capacitância externa associada a um sinal analógico com monitoração externa conecta-se diretamente à saída do circuito SC interno do conversor

por intermédio tão somente do multiplexador analógico de 16 entradas, programado especificamente para aquele sinal pela memória interna de configuração (Seção 5.1).

No caso do sinal SSB do conversor, a capacitância externa conecta-se à saída do S/H do modulador em quadratura (Figura 3.25), tornando seu tempo de estabilização (*settling time*) longo demais para frequências de chaveamento mais altas (Figura 5.23). O fato do modulador em quadratura, assim como o transformador de Hilbert, operarem com metade da frequência de chaveamento permite que seu tempo de estabilização mantenha-se aceitável para uma carga capacitiva com o dobro do seu valor nominal, ou seja, 20 pF. Contudo, esta vantagem não foi suficiente para eliminar o efeito indesejado da Figura 5.23.

Para reproduzir no simulador este efeito da capacitância externa, foram considerados os circuitos do conversor com parasitas extraídos (Seção 5.6), do multiplexador analógico, do *bond pad* analógico e uma capacitância externa de 15 pF. Os resultados de simulação são apresentados na Figura 5.24 e exibem a mesma relação da taxa de rejeição de imagem com a frequência de chaveamento para modulação LSB bem como seu efeito inverso para modulação USB, semelhantes ao observado nos testes experimentais (Figura 5.23). Nota-se também que o efeito indesejado desaparece, tanto para LSB quanto USB, em simulações do mesmo circuito com capacitância externa de apenas 10 fF. Além disso, para $f_s = 125$ kHz, o valor de IRR na modulação LSB é muito próximo do valor de IRR para USB tanto nos resultados experimentais quanto nos

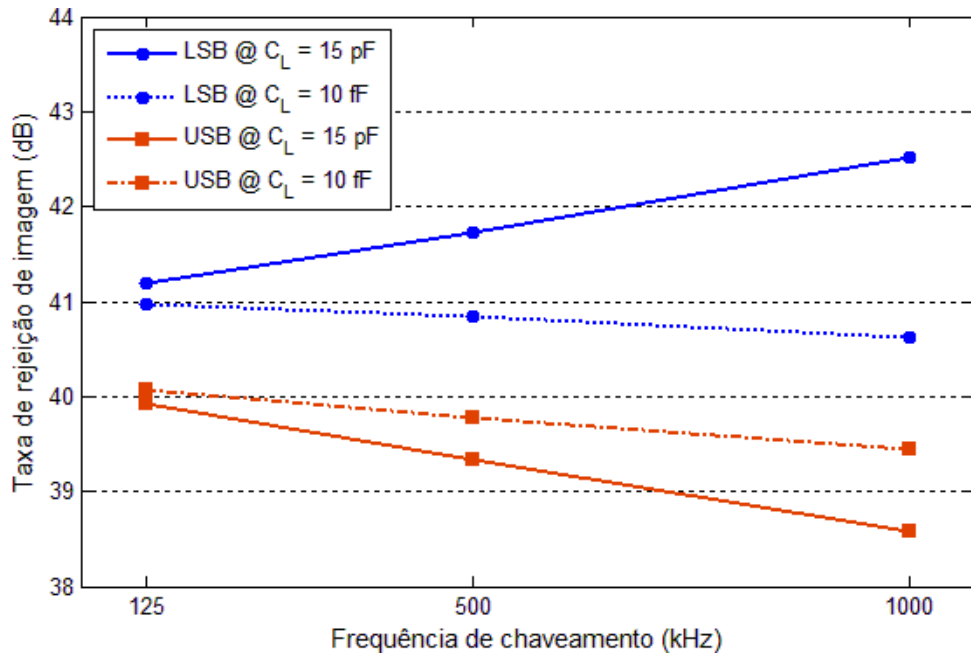


Figura 5.24: Simulação da taxa de rejeição de imagem pela frequência de chaveamento.

resultados de simulação, independentemente do valor da carga externa, indicando que ela tem pouca influência no *settling time* da saída SSB para esta frequência de chaveamento. É, portanto, um indicativo da taxa *real* de rejeição de imagem do conversor DSB-SSB: aproximadamente 42,0 dB para LSB e 40,2 dB para USB (Tabela 5.5).

A associação da carga capacitiva com resistências em série no caminho do sinal SSB - por exemplo a resistência da chave analógica do multiplexador e a resistência do *bond pad* para proteção contra descargas eletrostáticas - resulta em um filtro de tempo contínuo do tipo passa-baixa. Assim, a banda superior do sinal SSB é atenuada com mais intensidade que sua banda inferior, o que é benéfico para a modulação LSB pois aumenta sua taxa de rejeição de imagem enquanto prejudica a modulação USB. A atenuação por um filtro passa-baixa justifica o efeito contrário observado na Figura 5.23 entre as duas modulações, bem como a não observância do mesmo efeito quando a carga capacitiva é praticamente nula (Figura 5.24).

Ponderando sobre todos os resultados experimentais coletados, conclui-se que o circuito integrado proposto por esta Tese para a conversão de um sinal analógico com modulação DSB em um sinal com modulação SSB é completamente funcional. Apesar da taxa de rejeição de imagem variar alguns decibéis por influência da carga capacitiva externa, uma degradação da IRR durante os testes experimentais já era esperada em razão da ausência do *buffer* SC de saída.

5.8. COMPARAÇÃO COM OUTROS TRABALHOS

A fim de confrontar o desempenho do conversor DSB-SSB com trabalhos de pesquisa anteriores, citados no Capítulo 1, a Tabela 5.6 lista suas características físicas e elétricas principais. Ainda que possuam arquitetura e objetivo diferentes, todos compreendem a realização de um transformador de Hilbert em circuito integrado.

Tabela 5.6: Comparação do conversor com outros circuitos integrados.

<i>Trabalho</i>	Esta Tese	[12]	[13]	[17]	[18]	[22]	[25]
<i>Circuito integrado</i>	conversor DSB-SSB	TH ¹	TH	TH	TH	demodulador SSB	demodulador SSB
<i>Wideband</i>	sim	sim	sim	sim	não	não	não
<i>Arquitetura</i>	SC ²	digital	digital	RC ³	LC ⁴	Gilbert ⁵ + SC	Gilbert + SC
<i>Tecnologia</i>	CMOS 180 nm	CMOS 1 μ m	CMOS 350 nm	CMOS 350 nm	SiGe HBT 500 nm	CMOS 180 nm	CMOS 600 nm
V_{DD} (V)	1,8	5,0	3,3	3,3	-3,3	1,8	5,0
<i>Consumo</i> (mW)	6,6 ¹ 17,7 ⁶	1.800	263	0,78	112	136	N.D. ⁷
<i>Área de silício</i> (mm ²)	0,34 ¹ 1,09 ⁶	25,2	0,86	1,42	2,1	1,4	1,5
<i>Frequência de chaveamento</i> (MHz)	1	300	70	-	-	88	0,4
<i>Faixa do defasador</i>	0,05 π a 0,95 π	0,1 π a 0,9 π	0,1 π a 0,9 π	100 Hz a 10 kHz	2 GHz a 8 GHz	0,25 π a 0,75 π	0,45 π a 0,55 π
<i>Frequência da portadora</i> (MHz)	0,125	-	-	-	-	44	10,432
<i>Tipo de filtro</i>	IIR	FIR	FIR	N.D.	FIR	IIR	IIR
<i>Ordem do filtro</i>	7	42	30	10	3	5	3
<i>IRR teórica</i> (dB)	38,7 ⁸	70	40	54	N.D.	60	67
<i>IRR simulada</i> (dB)	40,6 ⁸ 39,4 ⁹	70	41.9	N.D.	N.D.	61	47
<i>IRR medida</i> (dB)	39,5⁸ 38,0⁹	N.D.	N.D.	42	7	39	N.D.

¹ Transformador de Hilbert / ² Capacitores chaveados / ³ Filtros ativos resistor-capacitor⁴ Filtros passivos indutor-capacitor / ⁵ Células de Gilbert / ⁶ Conversor DSB-SSB / ⁷ Não Disponível⁸ Modulação LSB / ⁹ Modulação USB

Pelos atributos da Tabela 5.6, esta Tese destaca-se dos demais trabalhos em diferentes aspectos:

- é o único que propõe um *modulador* SSB, integrando não apenas o transformador de Hilbert como também o modulador em quadratura;
- integra também um demodulador DSB;
- suporta tanto modulação *Lower Sideband* quanto *Upper Sideband*;
- dentre os circuitos analógicos, é totalmente constituído por circuitos de tempo discreto a capacitores chaveados;
- dentre os circuitos analógicos, seu transformador de Hilbert é verdadeiramente *wideband*;
- é um dos poucos com taxa de rejeição de imagem medida experimentalmente e compatível com seus valores teórico e simulado.

A Tabela 5.6 evidencia também que a frequência de operação está intimamente ligada ao consumo de corrente, seja o circuito digital ou analógico, bem como à sua área de silício. Conclui-se, portanto, que o conversor DSB-SSB é perfeitamente viável e funcional. Seu transformador de Hilbert tem desempenho superior ao de outros circuitos analógicos e comparável ao de circuitos digitais, sendo sua taxa rejeição de imagem passível de aprimoramento com o reprojetado do filtro de meia banda para ordens mais elevadas. Sua frequência de operação também pode ser aumentada com o reprojetado do seu amplificador operacional às custas de um acréscimo no consumo de corrente.

CAPÍTULO 6

CONCLUSÕES

Este trabalho trata da realização de um circuito integrado analógico de tempo discreto para a conversão de sinais com modulação em amplitude de banda dupla (*Double Sideband*) para modulação de banda simples (*Single Sideband*). Proposto como uma alternativa a implementações digitais do transformador de Hilbert, o conversor diferencia-se de circuitos integrados digitais e analógicos encontrados na literatura por ser o único que integra um modulador *Single Sideband* completo, bem como um demodulador *Double Sideband*. Além disso, é o único que oferece tanto modulação *Lower Sideband* quanto *Upper Sideband*. Dentre os circuitos analógicos, é o único com ampla largura de banda na entrada bem como constituído exclusivamente por circuitos a capacitores chaveados. Esta Tese propõe ainda um método de otimização de razão de capacitâncias a fim de conciliar máximo desempenho na resposta em frequência de filtros com mínimo de área de silício.

Os capítulos anteriores detalham todas as etapas do seu ciclo de desenvolvimento: concepção, análise teórica, definição de arquitetura, projeto de circuito, execução de *layout*, validação por simulações *pré-layout* e *pós-layout* até a validação experimental de múltiplas amostras do *chip* fabricado. Durante as simulações elétricas do circuito, a possibilidade de comparar simultaneamente seu comportamento com sinais de um modelo matemático em Verilog-A foi de fundamental importância tanto para o sucesso do projeto quanto para o desempenho final do circuito.

A consolidação dos resultados experimentais permite concluir que o circuito integrado proposto é perfeitamente viável e funcional. Ocupando uma área de 1,09 mm², o conversor consome apenas 17,7 mW para tensão de alimentação de 1,8 V e frequência de amostragem de 1 MHz. Para sinais de entrada com amplitude diferencial de 1 V e frequência variando desde 25% até 75% da frequência da portadora, o conversor atinge taxa mínima de rejeição de imagem de 39,5 dB para modulação LSB e 38,0 dB para modulação USB. O levantamento estatístico de 20 amostras do *chip*

mostra que o desvio padrão do seu consumo de corrente é de somente 36 μA enquanto o desvio padrão da sua taxa de rejeição de imagem limitou-se a 0,5 dB para modulação LSB e apenas 0,24 dB para modulação USB. Estes resultados são superiores a outros circuitos integrados analógicos e comparáveis a implementações digitais com filtros FIR de ordem bem mais elevada. Apenas uma perda de alguns decibéis na taxa de rejeição de imagem foi observada para altas frequências em razão da ausência do *buffer* SC de saída.

Dentre as razões que justificam o bom desempenho do conversor, sua estreita correlação com os resultados de simulação e a baixa dispersão entre múltiplas amostras, podemos citar:

- arquitetura diferencial para cancelamento de erros de modo comum tanto de ruído quanto de não-linearidades;
- circuitos a capacitores chaveados para cancelamento da tensão de *offset* dos amplificadores operacionais e baixa sensibilidade ao processo de fabricação;
- técnica de capacitor unitário para reduzir erros decorrentes do descasamento de capacitores;
- filtros estruturalmente passa-tudo para minimizar o deslocamento de polos e zeros de sua função de transferência;
- otimização dos coeficientes dos filtros *anti-aliasing* e de meia banda a fim de reduzir o erro efetivo total do arredondamento por razões de números inteiros;
- simulações em *corners* (Seção 3.2) para assegurar seu desempenho mesmo diante de variações no processo de fabricação, temperatura e tensão de alimentação;
- *layout* criterioso de matrizes de transistores e matrizes de capacitores a fim de minimizar erros de descasamento;
- roteamento cuidadoso de interconexões no *layout* para reduzir a influência de capacitâncias parasitas na precisão dos circuitos.

6.1. TRABALHOS FUTUROS

O circuito integrado do conversor DSB-SSB foi projetado com ênfase na sua precisão em comparação ao modelo matemático em Verilog-A. Ainda que os resultados experimentais tenham demonstrado que o circuito alcançou seu objetivo, a arquitetura

dos circuitos a capacitores chaveados pode ser aprimorada a fim de aumentar sua precisão, reduzir seu consumo de corrente ou ainda reduzir sua área de silício.

A proposta de aprimoramento mais imediata é a execução do *layout* do *buffer* SC de saída (Seção 5.7.1), uma vez que ela não necessita reprojetar o conversor e sua utilização elimina o efeito indesejado da capacitância externa na saída do conversor (Seção 5.7.1). O *buffer* compreende multiplexadores digitais de 4 entradas e um circuito SC de *Sample-and-Hold* contendo o amplificador operacional com capacidade de carga de 100 pF (Seção 5.7.1). Devido à maior capacitância de entrada deste amplificador, o S/H do *buffer* requer mais capacitores unitários em paralelo que o S/H descrito na Seção 3.6. O impacto deste *buffer* no consumo e área do conversor deve ser considerado.

Outra proposta que não envolve reprojetar o circuito mas demanda retrabalho do *layout* do conversor é a redução da quantidade de capacitores no circuito de CMFB (Seção 3.7). Para assegurar boa precisão, este circuito utiliza matrizes de capacitores em configuração centróide comum [19]. Porém, dos 916 capacitores unitários utilizados pelo conversor, 35,4% pertencem aos 27 circuitos de CMFB. Desconsiderando a exigência de centróide comum, os capacitores do CMFB podem ser reduzidos à metade à custa de um erro de modo comum na tensão de saída dos amplificadores operacionais em decorrência da maior sensibilidade ao descasamento de capacitores. Mesmo assim, tal descasamento não afeta a saída diferencial do amplificador, de modo que o erro de modo comum, se relativamente pequeno, é totalmente assimilado pelo circuito SC subsequente.

Dado que o modulador SSB (Figura 3.1) opera com metade da frequência do demodulador DSB, seus circuitos SC podem empregar um amplificador operacional com metade da corrente de polarização do amplificador da Seção 3.7, considerando a mesma carga capacitiva de 10 pF. Tal proposta é vantajosa pois o decréscimo na polarização possibilita que seus transistores tenham sua largura reduzida na mesma proporção, acarretando não só menor consumo de corrente como também redução da área de silício do conversor. Ainda assim, o mesmo *buffer* de saída citado acima pode ser utilizado para monitorar externamente os sinais do modulador SSB.

Uma recomendação adicional para reduzir a área de silício é a utilização de uma fonte de corrente interna para polarização dos amplificadores operacionais. No circuito integrado fabricado, a polarização dá-se por uma fonte de corrente externa que, para fins práticos de calibração, possui ordem de grandeza elevada (540 μ A). Isso demandou espelhos de corrente do tipo *folded-cascode* com transistores NMOS grandes (Seção

5.6) e razão de espelhamento de 1:1 a fim de assegurar alta corrente de polarização para baixa tensão de alimentação e com baixo efeito de modulação de canal. Adotando uma fonte de corrente interna, a razão de espelhamento de cada espelho pode ser bem maior, reduzindo proporcionalmente sua área de silício sem comprometer a polarização do conversor. A contrapartida será o acréscimo de área pela inclusão desta fonte no circuito.

Durante a execução do *layout* do conversor (Figura 5.8), o posicionamento das matrizes de capacitores deu-se de modo que não nenhum outro dispositivo ou linha de interconexão se situasse abaixo delas, objetivando a maximização do casamento de capacitores bem como a minimização de capacitâncias parasitas. O posicionamento das matrizes sobre os demais circuitos do conversor seria uma possibilidade arriscada de reduzir sua área de silício uma vez que a *foundry* não fornece dados estatísticos para o casamento de capacitores neste caso. Ainda que um grande plano de metal fosse adicionado entre cada matriz e o circuito abaixo, seus efeitos sobre a *planaridade* dos capacitores e o aumento de capacitâncias parasitas devem ser criteriosamente avaliados. Por fim, este empilhamento eleva consideravelmente a complexidade do roteamento dos circuitos pela redução dos níveis de metal disponíveis abaixo das matrizes e do plano de metal.

A redução das dimensões do capacitor unitário (Seção 3.3) impacta diretamente a área de todas as matrizes de capacitores, além de elevar a frequência de chaveamento do conversor em razão do aumento do *slew rate* dos amplificadores operacionais. Por outro lado, a precisão do conversor é prejudicada devido ao maior descasamento entre capacitores, maior sensibilidade à injeção de carga e *clock feedthrough* das chaves analógicas, maior ruído térmico amostrado (Eq. (3.3)), maior sensibilidade a capacitâncias parasitas e redução da margem de fase dos amplificadores operacionais, podendo comprometer sua estabilidade.

O aumento da largura dos transistores que compõem as chaves analógicas (Seção 3.4) reduz proporcionalmente sua resistência R_{ON} equivalente, permitindo um aumento da frequência de chaveamento do conversor ao custo de uma redução da sua precisão devido à maior injeção de carga. Consequentemente, uma alternativa seria diminuir a resistência R_{ON} apenas das chaves conectadas a matrizes com muitos capacitores unitários em paralelo, visto que as demais matrizes são mais sensíveis à injeção de carga e não são determinantes para a frequência máxima de chaveamento do conversor. Outra possibilidade para a redução da resistência das chaves é a inclusão de um circuito de

charge pump que produz uma tensão maior que V_{DD} a partir da qual fases para acionamento das chaves podem ser geradas. Neste caso, as chaves CMOS podem ser substituídas por transistores NMOS de dimensões reduzidas uma vez que sua tensão *gate-bulk* elevada garante baixa resistência R_{ON} . Em contrapartida, o circuito de *charge pump* introduz ruído nas fases e aumenta a injeção de carga por *clock feedthrough* enquanto as chaves, assim como o circuito de *charge pump* e os circuitos geradores de fase (Seção 3.5), requerem transistores MOSFET não compatíveis com o processo CMOS padrão por operarem com tensões maiores que 1,8 V.

O método mais eficaz para elevar a frequência de chaveamento do conversor é o aumento do *slew rate* dos amplificadores operacionais. No caso do amplificador *folded-cascode* da Seção 3.7, como seu *slew rate* é linearmente proporcional à corrente de polarização [45], é necessário aumentar a corrente dos transistores de saída bem como do par diferencial de entrada. Caso contrário haverá assimetria do *slew rate* entre transições positivas e negativas do sinal de saída. Esta solução tem forte impacto no consumo de corrente do conversor bem como na sua área pois acarreta o aumento proporcional da largura de seus transistores. Segue-se ainda o aumento da capacitância de entrada do par diferencial, o que compromete a precisão do circuito SC associado. Assim, uma alternativa seria elevar a polarização apenas dos amplificadores operacionais com maior carga capacitiva pois são estes que de fato limitam a frequência máxima de chaveamento do conversor.

O aumento do *slew rate* também é possível pelo método de *slew rate enhancement* [59], que acrescenta à arquitetura do amplificador circuitos não-lineares que atuam somente quando há sinais de grande amplitude na entrada. Desta forma, o *slew rate* não mais depende linearmente da corrente de polarização do amplificador. Contudo, o projeto deste tipo de amplificador não é trivial pois o tempo de resposta para grandes sinais é crítico e depende fortemente das capacitâncias intrínsecas em seus nós internos. Outras técnicas para obtenção de amplificadores de baixo consumo com *slew rate* elevado são arquiteturas em classe AB [21], [41] e com polarização dinâmica [60].

Com relação à precisão de circuitos a capacitores chaveados, a técnica de *bottom-plate sampling* [44], por exemplo, utiliza chaves analógicas adicionais em série com os capacitores. O posicionamento estratégico destas chaves na estrutura, associado à sua abertura instantes antes das chaves principais, reduz a injeção de carga nos capacitores uma vez que ela deixa de ser dependente da tensão de entrada. Consequentemente, a imprecisão do circuito decorrente do efeito de injeção de carga é reduzida

significativamente, à custa de uma provável redução na frequência máxima de operação do circuito em razão do acréscimo da resistência R_{ON} da chave adicional em série com cada capacitor.

A técnica de *Correlated Double Sampling* [51], adotada na arquitetura do integrador (Seção 3.8.2), pode ser estendida aos demais circuitos SC do conversor, à custa de mais área de silício devido à maior complexidade das estruturas CDS. Além de aumentar a precisão do circuito, a técnica de CDS relaxa a especificação de *slew rate* do amplificador operacional pois a estrutura CDS, ao contrário da convencional, não requer que o amplificador operacional seja conectado como *buffer* para cancelamento da sua tensão de *offset*. Porém, a literatura apresenta arquiteturas de CDS preditivo apenas para circuitos elementares como S/H [61], integradores [50] e amplificadores [53]. Topologias para circuitos SC mais complexos ainda precisam ser desenvolvidas, como os filtros estruturalmente passa-tudo de 1ª e 2ª ordens (Seção 3.8.2), que possuem múltiplas entradas e amostragem em ambas as fases. Ademais, como a técnica de CDS preditivo requer uma réplica da matriz de capacitores da estrutura para a estimativa do seu sinal de saída, seu custo em área de silício pode ser proibitivo nos casos em que tal matriz contém muitos capacitores (*e.g.* filtros passa-tudo).

Por fim, estruturas a capacitores chaveados que são insensíveis a capacitâncias parasitas [19], [21] também contribuem para o aumento da sua precisão. Porém, requerem chaves adicionais que comprometem sua frequência máxima de chaveamento, bem como elevam a complexidade do circuito.

6.1.1. REJEIÇÃO DE IMAGEM DE 50 dB

Todas as propostas de melhorias do conversor DSB-SSB preservam a taxa mínima de rejeição de imagem prevista pelo *script* do MATLAB (Anexo II). Contudo, durante a etapa de projeto, um outro conversor com taxa de rejeição de imagem mais elevada, de 50 dB, também foi analisado, projetado e simulado. Para tanto, os *scripts* do MATLAB foram alterados e resultaram em um filtro *anti-aliasing* de 7ª ordem e um filtro de meia banda de 9ª ordem, implicando em um número maior de filtros estruturalmente passa-tudo tanto de 1ª ordem quanto de 2ª ordem. Os demais circuitos do conversor permaneceram inalterados. Com o auxílio de um modelo Verilog-A alinhado com esta nova arquitetura, as simulações mostraram que ela também é funcional.

Ainda assim, mesmo adaptando o algoritmo de otimização de razões de capacitâncias (Capítulo 4) para os novos filtros *anti-aliasing* e de meia banda, a quantidade total de capacitores unitários aumentou consideravelmente. Em razão da maior demanda por consumo e área de silício, a implementação de um conversor DSB-SSB com IRR de 50 dB converteu-se em proposta de trabalho futuro.

ANEXO I

SCRIPT DO MATLAB PARA O

FILTRO ANTI-ALIASING

```
clc
close all
clear all

wp = 0.2; % wp normalizada para fs/2
ws = 0.3; % ws normalizada para fs/2
Rp = 0.1; % dB
Rs = 45.9; % dB (45.9dB = MAX para 5a ordem @ Rp=0.1dB)
w_grid = 0:pi/4096:pi;
w_norm_grid = w_grid/pi;

%%% FILTRO ELIPTICO %%%
display('>>> [nEllip, wn] = ellipord(wp, ws, Rp, Rs)');
[nEllip, wn] = ellipord(wp, ws, Rp, Rs)

[bEllip,aEllip] = ellip(nEllip, Rp, Rs, wn);

ModEllip = mag2db(abs(freqz(bEllip, aEllip, w_grid)));

%%% FILTRO ALLPASS IDEAL %%% -> COINCIDENTEMENTE, É IDENTICO AO FILTRO ELIPTICO
display('>>> d = fdesign.lowpass("Fp,Fst,Ap,Ast", wp, ws, Rp, Rs)');
d = fdesign.lowpass('Fp,Fst,Ap,Ast', wp, ws, Rp, Rs)

display('>>> designmethods(d)');
designmethods(d)

display('>>> designopts(d, "ellip")');
designopts(d, 'ellip')

display('>>> hd = design(d,"ellip", "FilterStructure", "cascadeallpass")');
hd = design(d,'ellip', 'FilterStructure', 'cascadeallpass')

display('>>> info(hd)');
info(hd)
```

```

display('>>> s = coeffs(hd)');
s = coeffs(hd)

display('>>> s.Stage1.Stage1.AllpassCoefficients');
s.Stage1.Stage1.AllpassCoefficients

display('>>> s.Stage1.Stage2.AllpassCoefficients');
s.Stage1.Stage2.AllpassCoefficients

display('>>> s.Stage2.Gain');
s.Stage2.Gain

display('>>> gamma = -s.Stage1.Stage2.AllpassCoefficients.Section2');
gamma = -s.Stage1.Stage2.AllpassCoefficients.Section2

display('>>> alpha1 = 2+s.Stage1.Stage2.AllpassCoefficients.Section1(1)');
alpha1 = 2+s.Stage1.Stage2.AllpassCoefficients.Section1(1)

display('>>> alpha2 = 1-s.Stage1.Stage2.AllpassCoefficients.Section1(2)');
alpha2 = 1-s.Stage1.Stage2.AllpassCoefficients.Section1(2)

display('>>> beta1 = 2+s.Stage1.Stage1.AllpassCoefficients.Section1(1)');
beta1 = 2+s.Stage1.Stage1.AllpassCoefficients.Section1(1)

display('>>> beta2 = 1-s.Stage1.Stage1.AllpassCoefficients.Section1(2)');
beta2 = 1-s.Stage1.Stage1.AllpassCoefficients.Section1(2)

cK = 2 - alpha1;
cM = 1 - alpha2;
cN = gamma;
cP = 2 - beta1;
cQ = 1 - beta2;

n1 = [cM -cK 1];
d1 = [1 -cK cM];

n2 = [-cN 1];
d2 = [1 -cN];

n3 = [cQ -cP 1];
d3 = [1 -cP cQ];

nS = conv(n1,n2);
dS = conv(d1,d2);

nAP_Ideal_A = conv(nS,d3);
nAP_Ideal_B = conv(n3,dS);
k = length(nAP_Ideal_A) - length(nAP_Ideal_B);
nAP_Ideal = 0.5*([nAP_Ideal_A zeros(1,-k)] + [nAP_Ideal_B zeros(1,k)]);

```

```

dAP_Ideal = conv(dS,d3);
ModAP_Ideal = mag2db(abs(freqz(nAP_Ideal, dAP_Ideal, w_grid)));

%%% FILTRO ALLPASS SC %%%
gamma = 16.0/25.0; % Otimizador para 0.6571 (0.6400) -2.60% -> -43.81dB
alpha1 = 21.0/38.0; % Otimizador para 0.5355 (0.5526) +3.20% -> -43.81dB
alpha2 = 5.0/38.0; % Otimizador para 0.1290 (0.1316) +2.00% -> -43.81dB
beta1 = 8.0/12.0; % Otimizador para 0.6408 (0.6667) +4.04% -> -43.81dB
beta2 = 5.0/12.0; % Otimizador para 0.4034 (0.4167) +3.29% -> -43.81dB

cK = 2 - alpha1;
cM = 1 - alpha2;
cN = gamma;
cP = 2 - beta1;
cQ = 1 - beta2;

n1 = [cM -cK 1];
d1 = [1 -cK cM];

n2 = [-cN 1];
d2 = [1 -cN];

n3 = [cQ -cP 1];
d3 = [1 -cP cQ];

nS = conv(n1,n2);
dS = conv(d1,d2);

nAP_SC_A = conv(nS,d3);
nAP_SC_B = conv(n3,dS);
k = length(nAP_SC_A) - length(nAP_SC_B);
nAP_SC = 0.5*([nAP_SC_A zeros(1,-k)] + [nAP_SC_B zeros(1,k)]);
dAP_SC = conv(dS,d3);
ModAP_SC = mag2db(abs(freqz(nAP_SC, dAP_SC, w_grid)));

display('>>> bEllip');
bEllip

display('>>> nAP_Ideal');
nAP_Ideal

display('>>> nAP_SC');
nAP_SC

display('>>> aEllip');
aEllip

display('>>> dAP_Ideal');
dAP_Ideal

```

```

display('>>> dAP_SC');
dAP_SC

%%% IRR & RIPPLE %%%
len = length(ModEllip);
fprintf(1, '    Elíptico: passband ripple = %f dB [%f dB, %f dB]\n', ...
        max(ModEllip(1:floor(len*wp)))-min(ModEllip(1:floor(len*wp))), ...
        min(ModEllip(1:floor(len*wp))), max(ModEllip(1:floor(len*wp))))
fprintf(1, '          stopband <= %f dB\n\n', max(ModEllip(ceil(len*ws):len)))

len = length(ModAP_Ideal);
fprintf(1, '    AP Ideal: passband ripple = %f dB [%f dB, %f dB]\n', ...
        max(ModAP_Ideal(1:floor(len*wp)))-min(ModAP_Ideal(1:floor(len*wp))), ...
        min(ModAP_Ideal(1:floor(len*wp))), max(ModAP_Ideal(1:floor(len*wp))))
fprintf(1, '          stopband <= %f dB\n\n', max(ModAP_Ideal(ceil(len*ws):len)))

len = length(ModAP_SC);
fprintf(1, '    AP SC: passband ripple = %f dB [%f dB, %f dB]\n', ...
        max(ModAP_SC(1:floor(len*wp)))-min(ModAP_SC(1:floor(len*wp))), ...
        min(ModAP_SC(1:floor(len*wp))), max(ModAP_SC(1:floor(len*wp))))
fprintf(1, '          stopband <= %f dB\n\n', max(ModAP_SC(ceil(len*ws):len)))

%%% Z PLOTS %%%
figure;
zplane(bEllip, aEllip);
grid on;
figure;
zplane(nAP_Ideal, dAP_Ideal);
grid on;
figure;
zplane(nAP_SC, dAP_SC);
grid on;

%%% PLOT %%%
figure('Position', [1, 1, 661, 400]);
plot(w_norm_grid, ModAP_SC, '-b', 'LineWidth', 2);
hold on;
plot(w_norm_grid, ModAP_Ideal, ':r', 'LineWidth', 2);
axis([0 1 -85 5]);
grid on;
xlabel('Frequência normalizada (x\pi rad/amostra)','FontSize', 11);
ylabel('Módulo (dB)','FontSize', 11);
legend('AA SC', 'AA Ideal', 'Location', 'SouthWest');

h2=axes('position',[0.58, 0.61, 0.3, 0.27]);
plot(w_norm_grid, ModAP_Ideal, ':r', 'LineWidth', 2);
hold on;
plot(w_norm_grid, ModAP_SC, '-b', 'LineWidth', 2);
axis([0, 1.1*wp, -0.149, 0.049]);
grid on;

```

ANEXO II

SCRIPT DO MATLAB PARA O **FILTRO REAL DE MEIA BANDA**

```
clc
close all
clear all

wp = 0.45; % wp normalizada para fs/2
ws = 0.55; % ws normalizada para fs/2
Rp = 0.1; % dB
Rs = 40.0; % dB (40dB = MAX para 7a ordem do halfband @ wp-ws=0.1)
w_grid = 0:pi/4096:pi;
w_norm_grid = w_grid/pi;

%%% FILTRO ELIPTICO %%%
display('>>> [nEllip, wn] = ellipord(wp, ws, Rp, Rs)');
[nEllip, wn] = ellipord(wp, ws, Rp, Rs)

[bEllip,aEllip] = ellip(nEllip, Rp, Rs, wn);

ModEllip = mag2db(abs(freqz(bEllip, aEllip, w_grid)));

%%% FILTRO HALF-BAND IDEAL %%%
display('>>> d = fdesign.halfband(ws-wp, Rs)');
d = fdesign.halfband(ws-wp, Rs)

display('>>> designmethods(d)');
designmethods(d)

display('>>> designopts(d, "ellip")');
designopts(d, 'ellip')

display('>>> hd = design(d,"ellip")');
hd = design(d,'ellip')

display('>>> info(hd)');
info(hd)
```



```

display('>>> s = coeffs(hd)');
s = coeffs(hd)

display('>>> s.Stage1.Stage1.AllpassCoefficients');
s.Stage1.Stage1.AllpassCoefficients

display('>>> s.Stage1.Stage2.Stage1.Latency');
s.Stage1.Stage2.Stage1.Latency

display('>>> s.Stage1.Stage2.Stage2.AllpassCoefficients');
s.Stage1.Stage2.Stage2.AllpassCoefficients

display('>>> s.Stage2.Gain');
s.Stage2.Gain

display('>>> h1 = s.Stage1.Stage1.AllpassCoefficients.Section1(2)');
h1 = s.Stage1.Stage1.AllpassCoefficients.Section1(2)

display('>>> h2 = s.Stage1.Stage1.AllpassCoefficients.Section2(2)');
h2 = s.Stage1.Stage1.AllpassCoefficients.Section2(2)

display('>>> h3 = s.Stage1.Stage2.Stage2.AllpassCoefficients.Section1(2)');
h3 = s.Stage1.Stage2.Stage2.AllpassCoefficients.Section1(2)

n1 = [h1 0 1];
d1 = [1 0 h1];

n2 = [h2 0 1];
d2 = [1 0 h2];

n3 = [h3 0 1];
d3 = [1 0 h3];

nA0 = conv(n1,n2);
dA0 = conv(d1,d2);

nA1 = conv(n3, [0 1]);
dA1 = d3;

nHT_Ideal_A = conv(nA0,dA1);
nHT_Ideal_B = conv(dA0,nA1);
k = length(nHT_Ideal_A) - length(nHT_Ideal_B);
nHT_Ideal = 0.5*([nHT_Ideal_A zeros(1,-k)] + [nHT_Ideal_B zeros(1,k)]);
dHT_Ideal = conv(dA0,dA1);
ModHT_Ideal = mag2db(abs(freqz(nHT_Ideal, dHT_Ideal, w_grid)));

%%% FILTRO HALF_BAND SC %%%
h1 = 3.0/16.0;
h2 = 6.0/7.0;

```

```

h3 = 6.0/11.0;

n1 = [h1 0 1];
d1 = [1 0 h1];

n2 = [h2 0 1];
d2 = [1 0 h2];

n3 = [h3 0 1];
d3 = [1 0 h3];

nA0 = conv(n1,n2);
dA0 = conv(d1,d2);

nA1 = conv(n3, [0 1]);
dA1 = d3;

nHT_SC_A = conv(nA0,dA1);
nHT_SC_B = conv(dA0,nA1);
k = length(nHT_SC_A) - length(nHT_SC_B);
nHT_SC = 0.5*([nHT_SC_A zeros(1,-k)] + [nHT_SC_B zeros(1,k)]);
dHT_SC = conv(dA0,dA1);
ModHT_SC = mag2db(abs(freqz(nHT_SC, dHT_SC, w_grid)));

display('>>> bEllip');
bEllip

display('>>> nHT_Ideal');
nHT_Ideal

display('>>> nHT_SC');
nHT_SC

display('>>> aEllip');
aEllip

display('>>> dHT_Ideal');
dHT_Ideal

display('>>> dHT_SC');
dHT_SC

%%% IRR & RIPPLE %%%
len = length(ModEllip);
fprintf(1, '    Elíptico: passband ripple = %f dB [%f dB, %f dB]\n', ...
        max(ModEllip(1:floor(len*wp))) - min(ModEllip(1:floor(len*wp))), ...
        min(ModEllip(1:floor(len*wp))), max(ModEllip(1:floor(len*wp))))
fprintf(1, '          stopband <= %f dB\n\n', max(ModEllip(ceil(len*ws):len)))

len = length(ModHT_Ideal);

```

```

fprintf(1, '    HT Ideal: passband ripple = %f dB [%f dB, %f dB]\n', ...
        max(ModHT_Ideal(1:floor(len*wp)))-min(ModHT_Ideal(1:floor(len*wp))), ...
        min(ModHT_Ideal(1:floor(len*wp))), max(ModHT_Ideal(1:floor(len*wp))))
fprintf(1, '                stopband <= %f dB\n\n', max(ModHT_Ideal(ceil(len*ws):len)))

len = length(ModHT_SC);
fprintf(1, '    HT SC: passband ripple = %f dB [%f dB, %f dB]\n', ...
        max(ModHT_SC(1:floor(len*wp)))-min(ModHT_SC(1:floor(len*wp))), ...
        min(ModHT_SC(1:floor(len*wp))), max(ModHT_SC(1:floor(len*wp))))
fprintf(1, '                stopband <= %f dB\n\n', max(ModHT_SC(ceil(len*ws):len)))

%%% Z PLOTS %%%
figure;
zplane(bEllip, aEllip);
grid on;
figure;
zplane(nHT_Ideal, dHT_Ideal);
grid on;
figure;
zplane(nHT_SC, dHT_SC);
grid on;

%%% PLOT %%%
figure('Position', [1, 1, 661, 400]);
plot(w_norm_grid, ModHT_SC, '-b', 'LineWidth', 2);
hold on;
plot(w_norm_grid, ModHT_Ideal, ':r', 'LineWidth', 2);
axis([0 1 -85 5]);
grid on;
xlabel('Frequência normalizada ( $x\pi$  rad/amostra)', 'FontSize', 11);
ylabel('Módulo (dB)', 'FontSize', 11);
legend('HT SC', 'HT Ideal', 'Location', 'SouthWest');

h2 = axes('position', [0.2, 0.426, 0.3, 0.276]);
plot(w_norm_grid, ModHT_Ideal, ':r', 'LineWidth', 2);
hold on;
plot(w_norm_grid, ModHT_SC, '-b', 'LineWidth', 2);
axis([0, 1.1*wp, -0.149, 0.049]);
grid on;

```

ANEXO III

MODELO VERILOG-A DO CONVERSOR

A listagem a seguir implementa o gerador de sinal DSB contínuo no tempo, utilizado como entrada do conversor DSB-SSB nas simulações elétricas do circuito integrado. O sinal DSB consiste em uma função *sinc* deslocada no tempo e modulada por duas senóides de frequências distintas. Seus parâmetros de entrada são posteriormente alterados pelo simulador conforme a Tabela 5.1.

```
// VerilogA for hilbert, vDSB3.va, veriloga

`include "constants.vams"
`include "disciplines.vams"

module vDSB3(out);
    output out;

    electrical out;

    parameter real Gain = 1.0 from (0:inf);
    parameter real fChannel = 2.4 from (0:inf);
    parameter real fCarrier1 = 2.0 from (0:inf); // fC1 > fChannel/2
    parameter real fCarrier2 = 6.0 from (0:inf); // fC2 > fC1 + fChannel

    parameter real td = 0.0 from [0:inf); // tempo inicial com out=0
    parameter real tshift = 0.0 from [0:inf); // instante em que sinc=1, descontado td
    // 1o zero: 1/fChannel, 2o zero: 2/fChannel, etc
    parameter real trepeat = 1.0 from (0:inf); // janela de tempo em torno de sinc=1,
    // descontados td e tshift

    real vSINC, tSINC;
    real fBB, fCarrierLo, fCarrierHi, wBB, wCarrierLo, wCarrierHi;
    real time1, time2, time3, time4, time5;

    analog begin
```

```

@(initial_step) begin
    vSINC = 0.0;
    tSINC = 0.0;
    time1 = 0.0;
    time2 = 0.0;
    time3 = 0.0;
    time4 = 0.0;
    time5 = 0.0;
    fBB = fChannel / 2.0;

    if (fCarrier2 < fCarrier1) begin
        fCarrierLo = fCarrier2;
        fCarrierHi = fCarrier1;
    end else begin
        fCarrierLo = fCarrier1;
        fCarrierHi = fCarrier2;
    end

    if (fCarrierLo < fBB)
        fCarrierLo = fBB;

    if (fCarrierHi < fCarrierLo + fChannel)
        fCarrierHi = fCarrierLo + fChannel;

    wBB = 2.0 * `M_PI * fBB;
    wCarrierHi = 2.0 * `M_PI * fCarrierHi;
    wCarrierLo = 2.0 * `M_PI * fCarrierLo;
end

time1 = $abstime;

if (time1 < td)
    vSINC = 0.0;
else begin
    time2 = time1 - td;
    time3 = time2 - tshift;

    if (time3 < 0.0)
        time5 = time3;
    else begin
        time4 = time3 % trepeat;

        if (time4 < (trepeat / 2.0))
            time5 = time4;
        else
            time5 = time4 - trepeat;
        end

    timeSINC = wBB * time5;

```

```

        if (tSINC == 0.0)
            vSINC = 1.0;
        else
            vSINC = sin(tSINC)/tSINC;
        end

        V(out) <+ Gain * vSINC * 0.5 * (cos(wCarrierLo * time5) + cos(wCarrierHi * time5));
    end
endmodule

```

A listagem a seguir implementa um *Sample-and-Hold* ideal no domínio Z por meio da função *zi_nd*. Seus parâmetros de entrada são posteriormente alterados pelo simulador conforme a Tabela 5.2.

```

// VerilogA for hilbert_sim, sh.va, veriloga

`include "constants.vams"
`include "disciplines.vams"

module sh(in, out);
    input in;
    output out;

    electrical in, out;

    parameter real T = 1.0;
    parameter real tt = 0.0;
    parameter real td = 0.0;

    analog begin
        V(out) <+ zi_nd(V(in), {1.0},
                        {1.0},
                        T, tt, td); // Sample-&-Hold
    end
endmodule

```

A listagem a seguir implementa um *Sample-and-Hold* ideal com saída zero em uma das fases. Seu objetivo é facilitar a comparação, tanto no domínio do tempo quanto no domínio da frequência, de sinais do modelo Verilog-A com sinais equivalentes do circuito. O parâmetro de entrada *VTH* é posteriormente alterado pelo simulador para o valor $V_{DD}/2$.

```

// VerilogA for hilbert_sim, sh_clk_voutZero.va, veriloga

`include "constants.vams"
`include "disciplines.vams"

```

```

module sh_clk_voutZero(in, out, clk);
    input in, clk;
    output out;

    electrical in, clk, out;

    parameter real VTH = 1.0;
    parameter real tt = 0.0;
    parameter real td = 0.0;

    real state;

    analog begin
        @(initial_step) begin
            state = 0.0;
        end

        @(cross(V(clk) - VTH, +1)) begin
            state = V(in);
        end

        @(cross(V(clk) - VTH, -1)) begin
            state = 0.0;
        end

        V(out) <+ transition(state, td, tt);
    end
endmodule

```

A listagem a seguir implementa o *mixer* do demodulador DSB como um multiplicador ideal de tensão.

```

// VerilogA for hilbert_sim, mult.va, veriloga

`include "constants.vams"
`include "disciplines.vams"

module mult(in1, in2, out);
    input in1, in2;
    output out;

    electrical in1, in2, out;

    parameter real T = 1.0;
    parameter real tt = 0.0;
    parameter real td = 0.0;

    real product;

```

```

analog begin
    @(timer(td, T))
        product = V(in1) * V(in2);
        V(out) <+ transition(product, 0.0, tt);
    end
endmodule

```

A listagem a seguir implementa o filtro *anti-aliasing* no domínio Z por meio da função *zi_nd*.

```
// VerilogA for hilbert_sim, AA_44dB_cRatios.va, veriloga
```

```

`include "constants.vams"
`include "disciplines.vams"

module AA_44dB_cRatios(in, out, supr, infr, inS, s1);
    input in;
    output out, supr, infr, inS, s1;

    voltage in, out, supr, infr, inS, s1;

    parameter real T = 1.0;
    parameter real tt = 0.0;
    parameter real td = 0.0;

    real vS1, vS2,
        vI1, vI2,
        gamma,
        alpha1, alpha2,
        beta1, beta2,
        cK, cM, cN, cP, cQ;

    real nS1[1:2], dS1[1:2],
        nS2[1:3], dS2[1:3],
        nI1[1:3], dI1[1:3];

    analog begin
        @(initial_step) begin
            vS1 = 0;
            vS2 = 0;
            vI1 = 0;
            vI2 = 0;

            gamma = 9.0 / 25.0;
            alpha1 = 21.0 / 38.0;
            alpha2 = 5.0 / 38.0;
            beta1 = 8.0 / 12.0;
            beta2 = 5.0 / 12.0;

```



```

    cN = 1.0 - gamma;
    cK = 2.0 - alpha1;
    cM = 1.0 - alpha2;
    cP = 2.0 - beta1;
    cQ = 1.0 - beta2;

    nS1[1] = -cN;
    nS1[2] = 1.0;

    dS1[1] = 1.0;
    dS1[2] = -cN;

    nS2[1] = cM;
    nS2[2] = -cK;
    nS2[3] = 1.0;

    dS2[1] = 1.0;
    dS2[2] = -cK;
    dS2[3] = cM;

    nI1[1] = cQ;
    nI1[2] = -cP;
    nI1[3] = 1.0;

    dI1[1] = 1.0;
    dI1[2] = -cP;
    dI1[3] = cQ;
end

vS1 = zi_nd(V(in), nS1, dS1, T, tt, td ); // passa-tudo de 1a ordem superior

vS2 = zi_nd( vS1, nS2, dS2, T, tt, td+tt); // passa-tudo de 2a ordem superior

vI1 = zi_nd(V(in), nI1, dI1, T, tt, td ); // passa-tudo de 2a ordem inferior

if (analysis("tran"))
    vI2 = absdelay(vI1, tt); // Sincronizacao de vI1 com vS2
else
    vI2 = vI1;

V(out) <+ 0.5 * (vS2 + vI2);
V(supr) <+ vS2;
V(infr) <+ vI2;

V(inS) <+ zi_nd(V(in), {1.0}, {1.0}, T, tt, td);
V(s1) <+ vS1;
end
endmodule

```

A listagem a seguir implementa o modulador SSB, composto pelo transformador de Hilbert e o modulador em quadratura. O transformador é descrito no domínio Z por meio da função z_i_{nd} .

```
// VerilogA for hilbert_sim, hilbert_Gabriel_cRatios_fixed_v2.va, verilogA

`include "constants.vams"
`include "disciplines.vams"

module hilbert_Gabriel_cRatios_fixed_v2(in, vCosz, vSinz,
                                       vRe, vIm, vC, vS,
                                       vSSB);

    input in, vCosz, vSinz;
    output vRe, vIm, vC, vS, vSSB;

    voltage in, vCosz, vSinz, vRe, vIm, vC, vS, vSSB;

    parameter real T = 1.0;
    parameter real tt = 0.0;
    parameter real td = 0.0;

    real v11, v12, v21, v22, v31, v41;

    real kS1, kS2, kI;

    real nS1[1:2], dS1[1:2],
          nS2[1:2], dS2[1:2],
          nI1[1:2], dI1[1:2],
          nI2[1:2], dI2[1:2];

    analog begin
        @(initial_step) begin
            v11 = 0;
            v12 = 0;
            v21 = 0;
            v22 = 0;
            v31 = 0;
            v41 = 0;

            kS1 = 3.0 / 16.0;
            kS2 = 6.0 / 7.0;
            kI = 6.0 / 11.0;

            nS1[1] = kS1;
            nS1[2] = -1.0;

            dS1[1] = 1.0;
            dS1[2] = -kS1;
```

```

nS2[1] = kS2;
nS2[2] = -1.0;

dS2[1] = 1.0;
dS2[2] = -kS2;

nI1[1] = 0.0;
nI1[2] = 1.0;

dI1[1] = 1.0;
dI1[2] = 0.0;

nI2[1] = kI;
nI2[2] = -1.0;

dI2[1] = 1.0;
dI2[2] = -kI;
end

// 1o passa-tudo de 1a ordem da secao A0, com metade da frequencia
v11 = zi_nd(V(in), nS1, dS1, 2.0*T, tt, td );
// 2o passa-tudo de 1a ordem da secao A0, com metade da frequencia
v12 = zi_nd( v11, nS2, dS2, 2.0*T, tt, td+tt);

// atraso z-1 da secao A1
v21 = zi_nd(V(in), nI1, dI1, T, tt, td );
// 1o passa-tudo de 1a ordem da secao A1, com metade da frequencia
v22 = zi_nd( v21, nI2, dI2, 2.0*T, tt, td+tt);

if (analysis("tran")) begin
    v31 = absdelay(V(vCosz), 2.0*tt); // Sincronizacao de vCosz com v12
    v41 = absdelay(V(vSinz), 2.0*tt); // Sincronizacao de vSinz com v22
end else begin
    v31 = V(vCosz);
    v41 = V(vSinz);
end

end

V(vRe) <+ v12;
V(vIm) <+ v22;

V(vSSB) <+ (v12 * v31) + (v22 * v41);

V(vC) <+ v31;
V(vS) <+ v41;
end
endmodule

```

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] WEI, Z., XUEYUN, W., JIAN, Z. J., *et al.*, “Fetal heart beat detection by Hilbert transform and non-linear state-space projections”, *IET Science, Measurement & Technology*, v. 9, n. 1, pp. 85-92, Feb. 2015.
- [2] WU, L.-C., DOONG, D.-J., WANG, J.-H., “Bathymetry Determination From Marine Radar Image Sequences Using the Hilbert Transform”, *IEEE Geoscience and Remote Sensing Letters*, v. PP, n. 99, pp. 1-5, Mar. 2017.
- [3] URBINA-SALAS, I., RAZO-HERNANDEZ, J. R., GRANADOS-LIEBERMAN, D., *et al.*, “Instantaneous Power Quality Indices Based on Single-Sideband Modulation and Wavelet Packet-Hilbert Transform”, *IEEE Transactions on Instrumentation and Measurement*, v. PP, n. 99, pp. 1-11, Feb. 2017.
- [4] THOMAS, V. A., EL-HAJJAR, M., HANZO, L., “Optical single sideband signal generation relying on a single-drive Mach–Zehnder modulator for radio over fibre communications”, *IET Communications*, v. 10, n. 5, pp. 534-539, Apr. 2016.
- [5] SMITH, G. H., NOVAK, D., AHMED, Z., “Technique for Optical SSB Generation to Overcome Dispersion Penalties in Fibre-Radio Systems”, *Electronics Letters*, v. 33, n. 1, pp. 74-75, Jan. 1997.
- [6] KUBICHEK, R., “Amplitude Modulation”. In: Whitaker, J. C. (ed), *The Electronics Handbook*, 2 ed., chapter 12, Florida, CRC Press, 2005.
- [7] OSWALD, A. A., “Early History of Single-Sideband Transmission”, *Proceedings of the IRE*, v. 44, n. 12, pp. 1676-1679, 1956.
- [8] HARTLEY, R. V. L., “Modulation System”, U.S. Patent 1 666 206, issued April 17th, 1928.
- [9] PUN, K.-P., FRANCA, J. E., LEME, C. A., “Basic Principles and New Solutions for Analog Sampled-Data Image Rejection Mixers”. In: *Proceedings of the IEEE International Conference on Electronics, Circuits and Systems*, v. 3, pp. 165-168, Portugal, Sep. 1998.
- [10] WEAVER, D. K. JR., “A Third Method of Generation and Detection of Single-Sideband Signals”, *Proceedings of the IRE*, v. 44, n. 12, pp. 1703-1705, 1956.

- [11] MITRA, S. K., *Digital Signal Processing - A Computer-Based Approach*, 2 ed. McGraw-Hill, 2001.
- [12] HAWLEY, R. A., LIN, T., SAMUELI, H., "A 300 MHz Digital Double-Sideband to Single-Sideband Converter in 1 μ m CMOS", *IEEE Journal of Solid-State Circuits*, v. 30, n. 1, pp. 4-10, Jan. 1995.
- [13] TAKAHASHI, Y., SEKINE, T., YOKOYAMA M., "A 70MHz Multiplierless FIR Hilbert Transformer in 0.35 μ m Standard CMOS Library", *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, v. E90-A, n. 7, pp. 1376-1383, Jul. 2007.
- [14] WESTE, N. H. E., HARRIS, D. M., *CMOS VLSI Design: A Circuits and Systems Perspective*, 4 ed. Addison-Wesley, 2011.
- [15] ANJOS, E. V. P., BARÚQUI, F. A. P., "Low-Sensitivity Recursive Hilbert Transformer Using Switched-Current Techniques", *Electronics Letters*, v. 51, n. 12, pp. 894-895, June 2015.
- [16] BEHBAHANI, F., KISHIGAMI, Y., LEETE, J., *et al.*, "CMOS Mixers and Polyphase Filters for Large Image Rejection", *IEEE Journal of Solid-State Circuits*, v. 36, n. 6, pp. 873-887, Jun. 2001.
- [17] SAUL, P.H., "Low Power Analogue 90 Degree Phase Shifter". In: *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition*, v. 3, pp. 28-33, Paris, Feb. 2004.
- [18] HOLDENRIED, C. D., HASLETT, J. W., DAVIES, B., "A Fully Integrated 10-Gb/s Tapped Delay Hilbert Transformer for Optical Single Sideband", *IEEE Microwave and Wireless Components Letters*, v. 15, n. 5, pp. 303-305, May 2005.
- [19] JOHNS, D. A., MARTIN, K. W., *Analog Integrated Circuit Design*, John Wiley and Sons, 1997.
- [20] TSIVIDIS, Y., *Mixed Analog-Digital VLSI Devices and Technology*, World Scientific, New Jersey, 2002.
- [21] GRAY, P. R., HURST, P. J., LEWIS, S. H., *et al.*, *Analysis and Design of Analog Integrated Circuits*, 5 ed. John Wiley and Sons, 2009.
- [22] WONG, W. K., *A CMOS Image Rejection Mixer for Cable-TV Tuner using Switched-Capacitor Hilbert Transformer*, Dissertação de Mestrado, The Hong Kong University of Science and Technology, Hong Kong, 2004.

- [23] CROLS, J., STEYAERT, M. S. J., “A Single-Chip 900 MHz CMOS Receiver Front-End with a High Performance Low-IF Topology”, *IEEE Journal of Solid-State Circuits*, v. 30, n. 12, pp. 1483-1492, Dec. 1995.
- [24] BABANEZHAD, J. N., TEMES, G. C., “A 20-V Four-Quadrant CMOS Analog Multiplier”, *IEEE Journal of Solid-State Circuits*, v. 20, n. 6, pp. 1158-1168, Dec. 1985.
- [25] PUN, K.-P., FRANCA, J. E., LEME, C. A., *Circuit Design for Wireless Communications*, The Netherlands, Springer, 2003.
- [26] CROLS, J., STEYAERT, M. S. J., “A 1.5 GHz Highly Linear CMOS Downconversion Mixer”, *IEEE Journal of Solid-State Circuits*, v. 30, n. 7, pp. 736-742, July 1995.
- [27] PUN, K.-P., FRANCA, J. E., LEME, C. A., “Poly-Phase Switched-Capacitor IIR Hilbert Transformers”. In: *Proceedings of the IEEE International Conference on Electronics, Circuits and Systems*, v. 3, pp. 1329-1332, Cyprus, Sep. 1999.
- [28] YARLAGADDA, R. K. R., *Analog and Digital Signals and Systems*, Springer, 2010.
- [29] KSCHISCHANG, F. R., “The Hilbert Transform”, University of Toronto, Oct. 2006. Disponível em: <http://www.comm.utoronto.ca/frank/papers/hilbert.pdf>. Acesso em: nov. 2016.
- [30] KANWAL, R. P., *Linear Integral Equations: Theory and Technique*, 2 ed. New York, Springer, 1997.
- [31] REGALIA, P. A., MITRA, S. K., VAIDYANATHAN, P. P., “The Digital All-Pass Filter: A Versatile Signal Processing Building Block”, *Proceedings of the IEEE*, v. 76, n. 1, pp. 19-37, Jan. 1988.
- [32] PETRAGLIA, A., BARÚQUI, F. A. P., MITRA, S. K., “Recursive Switched-Capacitor Hilbert Transformers”. In: *Proceedings of the IEEE International Symposium on Circuits and Systems*, v. 1, pp. 496-499, Canada, Jun. 1998.
- [33] OPPENHEIM, A. V., SCHAFER, R. W., BUCK J. R., *Discrete-Time Signal Processing*, 2 ed. New Jersey, Prentice Hall, 1999.
- [34] STRANG, G., NGUYEN, T., *Wavelets and Filter Banks*, Wellesley-Cambridge, 1996.

- [35] ROY, R., OLVER, F. W. J., “Elementary Functions”. In: Olver, F. W. J. (ed), *NIST Handbook of Mathematical Functions*, chapter 4, Cambridge University Press, 2010.
- [36] GOMES, J. G. R. C., PETRAGLIA A., “An Analog Sampled-Data DSB to SSB Converter Using Recursive Hilbert Transformer for Accurate I and Q Channel Matching”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 49, n. 3, pp. 177-187, Mar. 2002.
- [37] GOMES, J. G. R. C., *Conversor DSB/SSB a Capacitores Chaveados Usando um Transformador de Hilbert Recursivo*, Dissertação de Mestrado, Universidade Federal do Rio de Janeiro, Rio de Janeiro, 2000.
- [38] “0.18 μ m High-Voltage CMOS process”, ams AG, 2016. Disponível em: <http://ams.com/eng/Products/Full-Service-Foundry/Process-Technology/High-Voltage-CMOS/0.18-m-HV-CMOS-process>. Acesso em: nov. 2016.
- [39] MCCLUSKEY, P., O'CONNOR, C., NATHAN, K., “Evaluating the Performance and Reliability of Embedded Computer Systems for Use in Industrial and Automotive Temperature Ranges”, Intel Developer Network News, 2001. Disponível em: <http://www.eurotech-inc.com/info/pdf/calce-temprange-pcaoct01.pdf>. Acesso em: nov. 2016.
- [40] AMS AG, *0.18 μ m HV CMOS Matching Parameters*, ENG-349 Rev. 1.0, Company Confidential, 2011.
- [41] BAKER, R. J., *CMOS: Circuit Design, Layout, and Simulation*, 3 ed. John Wiley and Sons, 2010.
- [42] SUAREZ, R. E., GRAY, P. R., HODGES, D., “All-MOS Charge-Redistribution Analog-to-Digital Conversion Techniques. II”, *IEEE Journal of Solid-State Circuits*, v. 10, n. 6, pp. 379-385, Dec. 1975.
- [43] EICHENBERGER, C., GUGGENBUHL W., “Charge Injection of Analogue CMOS Switches”, *IEE Proceedings-G Circuits, Devices and Systems*, v. 138, n. 2, pp. 155-159, Apr. 1991.
- [44] HAIGH, D. G., SINGH B., “A Switching Scheme for Switched-Capacitor Filters, Which Reduces Effect of Parasitic Capacitances Associated with Control Terminals”. In: *Proceedings of the IEEE International Symposium on Circuits and Systems*, v. 2, pp. 586-589, Jun. 1983.

- [45] RAZAVI, B., *Design of Analog CMOS Integrated Circuits*, Singapore, McGraw-Hill, 2001.
- [46] AMS AG, *0.18 μ m HV CMOS Noise Parameters*, ENG-350 Rev. 1.0, Company Confidential, 2011.
- [47] GARRITY, D. A., RAKERS, P. L., “Common-Mode Output Sensing Circuit”, U.S. Patent 5 894 284, issued April 13th, 1999.
- [48] GREGORIAN, R., TEMES, G. C., *Analog MOS Integrated Circuits for Signal Processing*, John Wiley and Sons, 1986.
- [49] PETRAGLIA, A., MONTEIRO, M. A. M., “A Switched-Capacitor Filter Having Very Low Sensitivity to Capacitance Ratio Errors and to Finite Amplifier Gains”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 45, n. 7, pp. 890-894, Jul. 1998.
- [50] YOSHIKAWA, H., YABE, T., TEMES, G. C., “High-Precision Switched-Capacitor Integrator using Low-Gain Opamp”, *Electronics Letters*, v. 47, n. 5, pp. 315-316, Mar. 2011.
- [51] ENZ, C. C., TEMES, G. C., “Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization”, *Proceedings of the IEEE*, v. 84, n. 11, pp. 1584-1614, Nov. 1996.
- [52] TEMES, G. C., HAUG, K., “Improved Offset-Compensation Schemes for Switched-Capacitor Circuits”, *Electronics Letters*, v. 20, n. 12, pp. 508-509, Jun. 1984.
- [53] YOSHIKAWA, H., TEMES, G. C., “Switched-Capacitor Track-and-Hold Amplifiers With Low Sensitivity to Op-Amp Imperfections”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 54, n. 1, pp. 193-199, Jan. 2007.
- [54] NAGARAJ, K., VISWANATHAN, T. R., SINGHAL, K., *et al.*, “Switched-Capacitor Circuits with Reduced Sensitivity to Amplifier Gain”, *IEEE Transactions on Circuits and Systems*, v. 34, n. 5, pp. 571-574, May 1987.
- [55] GRILO, J. A., TEMES, G. C., “Predictive Correlated Double Sampling Switched-Capacitor Integrators”. In: *Proceedings of the IEEE International Conference on Electronics, Circuits and Systems*, v. 2, pp. 9-12, Portugal, Sep. 1998.
- [56] AMS AG, *0.18 μ m HV CMOS Process Parameters*, ENG-331 Rev. 2.0, Company Confidential, 2011.

- [57] “Custom IC / Analog / RF Design”, Cadence Design Systems, Inc. Disponível em: https://www.cadence.com/content/cadence-www/global/en_US/home/tools/custom-ic-analog-rf-design.html. Acesso em: nov. 2016.
- [58] “Verilog-AMS Language Reference Manual”, Accellera Systems Initiative, Version 2.4.0, 2014. Disponível em: <http://www.accellera.org/images/downloads/standards/v-ams/VAMS-LRM-2-4.pdf>. Acesso em: nov. 2016.
- [59] REZAEI, M., ZHIAN-TABASY, E., ASHTIANI, S. J., “Slew Rate Enhancement Method for Folded-Cascode Amplifiers”, *Electronics Letters*, v. 44, n. 21, pp. 1226-1228, Oct. 2008.
- [60] CASTELLO, R., GRAY, P. R., “A High-Performance Micropower Switched-Capacitor Filter”, *IEEE Journal of Solid-State Circuits*, v. 20, n. 6, pp. 1122-1132, Dec. 1985.
- [61] TEMES, G. C., HUANG, Y., FERGUSON, P. F. JR., “A High-Frequency Track-and-Hold Stage with Offset and Gain Compensation”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 42, n. 8, pp. 559-561, Aug. 1995.